

HPM6700/6400 微控制器硬件设计指南

1 简介	3
2 电源配置	4
2.1 电源系统	4
2.2 提升 A/D 转换器性能以及参考电压的特别要求	5
2.3 上电时序	6
3 时钟	7
3.1 外部时钟	7
3.2 晶振/陶振	7
4 调试	9
5 PCB 设计建议	10
5.1 PCB 布线准则	10
5.2 元件位置	10
5.3 接地和供电	10
5.4 多层板	11
5.5 大容量和去耦电容器的放置	11
5.6 USB 布线设计建议	12
5.7 SDRAM 布线建议	13
5.8 高速信号布线建议	13
6 Bootloader	15

版本:

日期	版本号	说明
2022-4-20	1.0	初版
2022-5-16	1.1	修正 Bootloader 错误

1 简介

HPM6700/6400 系列 MCU 是来自上海先楫半导体科技有限公司的高性能实时 RISC-V 微控制器,为工业自动化及边缘计算应用提供了极大的算力、高效的控制能力及丰富的多媒体功能。HPM6750 处理器适用于以下应用:

- 电机控制
- 数字电源
- 仪器仪表
- 医疗设备
- 工业控制
- 音频设备
- 无人机
- 边缘计算

本文档的目的是帮助硬件工程师设计和测试基于 HPM6750 微控制器的硬件电路设计。它提供了关于电路板布局建议和设计清单,提高硬件设计成功率和成熟度。

本硬件指南适用于 HPM6700/6400 系列芯片。同时,可参考对应芯片的数据表、参考手册、以及应用手册。

2 电源配置

2.1 电源系统

该系列芯片供电是通过对 DCDC_IN 和 VPMC 脚输入 3.0-3.6V 单一电源, 并通过内置的电压调节器提供系统所需的 VDD_SOC, VDD_PMCCAP, VDD_OTPCAP, V_BATCAP 电源。

当电源 DCDC_IN 和 VPMC 掉电后, 通过 VBAT 脚为实时时钟(RTC) 和备份寄存器提供电源。每个 I/O 电源 VIO_Bxx 根据相应负载接 3.3V 或 1.8V 电源。电源控制图如图 1, 适用于 HPM6700/6400 芯片。若无另行说明, 所有电压都以 VSS 为基准, VSS 接地。

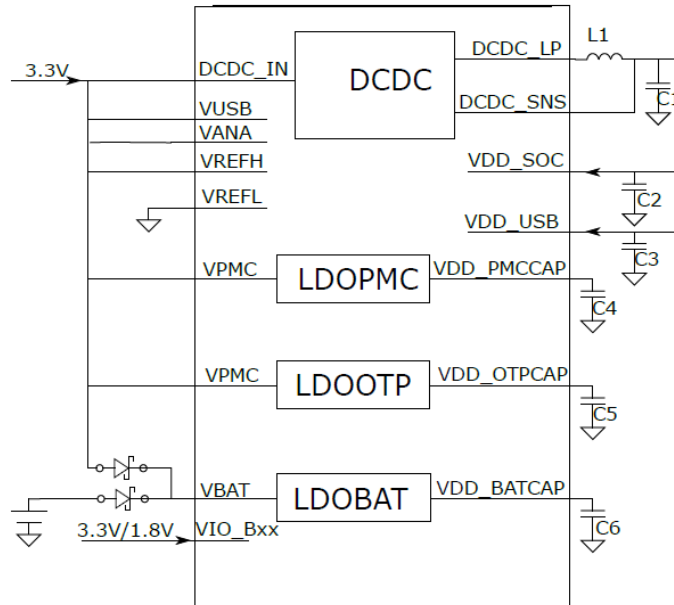


图 1 电源控制图

电源域信号电平和去耦电容的建议, 请分别参见表 1 和表 2。

电源域	工作条件	最小值	典型值	最大值	描述
VDD_SOC	处理器主频 ≤816MHz	1.15	1.20	1.25	VDD_SOC 输入电压
	处理器主频 ≤600MHz	1.05	1.10	1.15	
	停止模式	0.90	-	1.25	
DCDC_IN	-	3.0	3.3	3.6	DCDC 输入电压
VPMC	-	3.0	3.3	3.6	VPMC 输入电压
VBAT	-	2.4	3.0	3.6	VBAT 输入电压

VANA	-	3.0	3.3	3.6	VANA 输入电压
VBUS0	-	-	5.0	5.5	VBUS0 输入电压
VBUS1	-	-	5.0	5.5	VBUS1 输入电压
VUSB	-	3.0	3.3	3.6	VUSB 输入电压
VIO_Bxx (3.3V 模式)	-	3.0	3.3	3.6	对应 IO 电源 3.3V
VIO_Bxx (1.8V 模式)	-	1.62	1.8	1.98	对应 IO 电源 1.8V

表 1 电源域

位号	参考值
L1	4.7uH
C1+C2	33~66uF
C3	1uF
C4	4.7uF
C5	4.7uF
C6	0.22uF

表 2 去耦电容推荐值

2.2 提升 A/D 转换器性能以及参考电压的特别要求

为了提高转换精度，ADC 电路配有独立电源入口，可以由外围电路做电源滤波以减小 PCB 上的噪声，对于需要高精度采样的场合，可以配合高精度的参考电压源实现高精度的 AD 采样。

- 一个独立的 V_{ANA} 引脚给 ADC 供电。建议使用低噪音 LDO 供电。
- V_{SS} 引脚提供了独立的电源接地连接。
- V_{REFH}/V_{REFL} 为芯片提供高精度低温飘的外部参考电压，例如 REF431，可以提升 ADC 的采样精度。 V_{REFH} 上的电压范围为 2.0 V 到 3.6V。 V_{REFH}/V_{REFL} 需要在 Pin 附近增加去耦电容，通常采用 10nF。

2.3 上电时序

上电时序要求：要求 VBAT 不晚于其他电源上电。如果 VBAT 和其他 3.3V 电源引脚使用相同的供电，则系统对上电时序没有要求。

掉电时序要求：VBAT 电源不能早于其他电源掉电。

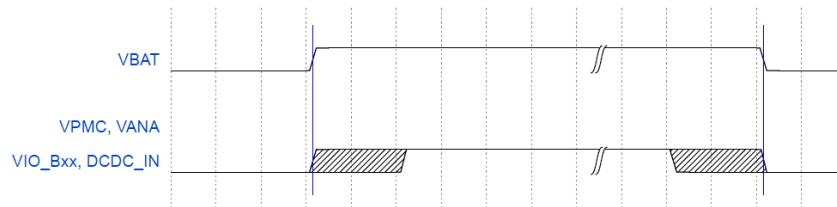


图 2 电源时序

3 时钟

3.1 外部时钟

外部高速时钟信号 XTAL_24M 可以接受两种时钟源输入：

- 外部晶振/陶瓷谐振（参见图 3）。
- 外部用户时钟（参见图 4）。

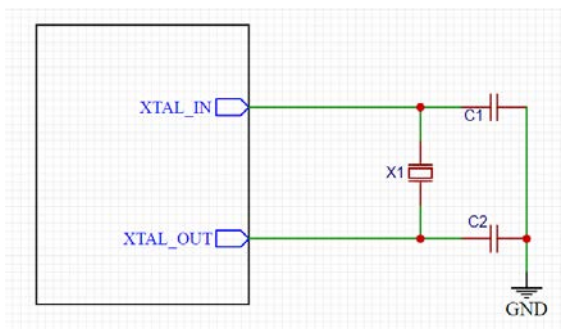


图 3 外部晶振/陶瓷谐振

在使用外部时钟源模式下，必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 XTAL_IN 引脚，同时 XTAL_OUT 引脚应保持为高阻（悬空）。

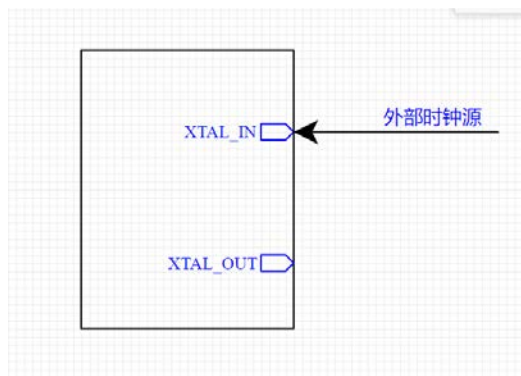


图 4 外部用户时钟

3.2 晶振/陶振

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振时间。

负载电容值必须根据所选振荡器的不同做适当调整。对于 C1 和 C2，建议

使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5pF 到 25 pF (典型值) 之间的高质量陶瓷电容。

C1 和 C2 的大小通常相同。晶振制造商指定的负载电容通常是 C1 和 C2 的串联组合。确定 CL1 和 CL2 的规格时, 必须将 PCB 和 MCU 引脚的电容考虑在内 (引脚与电路板的电容可粗略地估算为 10 pF)。

推荐的晶振 PCB 接线 (示意图)

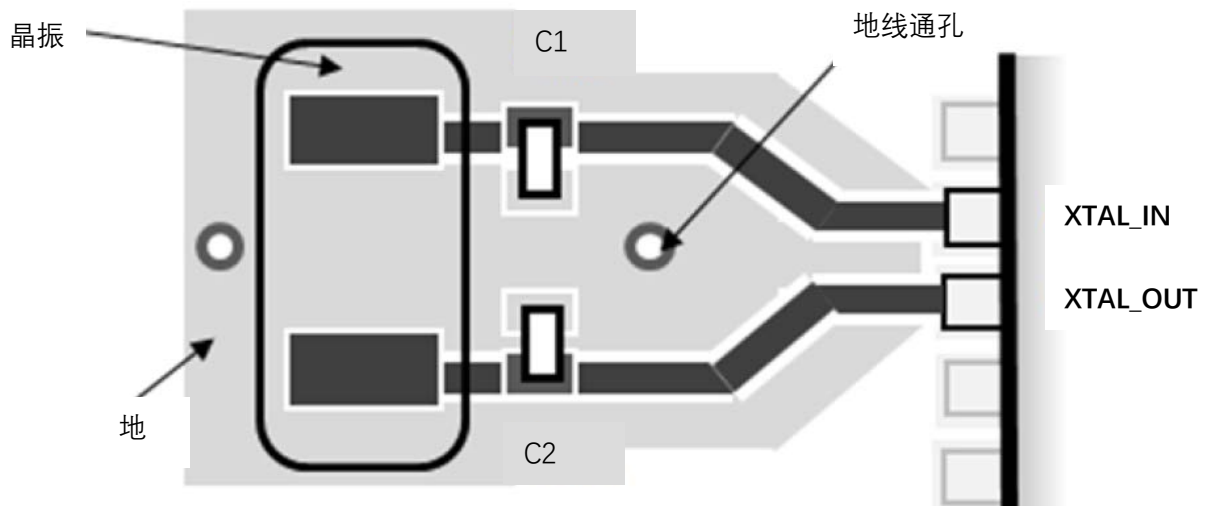


图 5: 晶振 PCB 布线示意图

4 调试

HPM6700/6400 系列产品的调试系统符合 The RISC-V Debug Specification, Version 0.13 规范。调试系统包括 JTAG 接口转换模块(DTM) 和调试模块 (DM) 2 部分。DTM 通过标准 JTAG 接口对接外部调试器, 可以把 JTAG 上收到的调试指令转换成对 DM 模块的读写访问。调试模块 DM 集成了调试功能, 可以暂停或者恢复 CPU 的运行, 产生复位, 以及访问片上资源。

表 3 JTAG 接口

JTAG 信号	输入/输出	外部终端
JTAG_TCK	输入	不需要或者 5.1KOhm 上拉
JTAG_TMS	输入	不需要或者 5.1KOhm 下拉
JTAG_TDI	输入	不需要或者 5.1KOhm 上拉
JTAG_TDO	三态输出	不要使用上拉或下拉
JTAG_TRSTB	输入	不需要

5 PCB 设计建议

5.1 PCB 布线准则

对于 HPM6700/6400 系列芯片，由于采用了 BGA 小型化封装，以满足应用产品尺寸小型化的需要，最少需要 4 层 PCB 才能将管脚引出。有条件的情况下，推荐使用单独一层专用于接地 (VSS)，另一层专用于 VDD 供电(至少需要 6 层 PCB 设计)，这样可以达到比较好的去耦和屏蔽效果。当由于经济原因不能做到单独的电源和地层时(例如 4 层设计)，也要确保接地和供电有良好的结构。

同时，正确的过孔尺寸、走线宽度、和线间距对于布线的成功率有着关键作用。推荐的规则如下：

- 对于 BGA 约束区域：
过孔类型为 18/10 mil，走线宽度为 4 mil，线间距为 4 mil。
- 对于默认区域 (BGA 除外)：
过孔类型为 20/10 mil，走线宽度为 5 mil，线间距为 7 mil。

5.2 元件位置

PCB 的初始布局必须对不同的电路的 EMI 干扰程度进行区分，对于不同的电路部分可以按照噪声电路、大电流电路、和数字电路部分进行逻辑上区分，尽量减少电路间的交叉耦合。

5.3 接地和供电

每个块（噪声、大电流、数字等等）都应单独接地，所有接地返回都应为一个点。

必须避免出现环，或使环有最小面积。供电应靠近地线实现，以最小化供电环的面积。这是因为供电环的行为类似天线，因此它是 EMI 的主要发送者和接

收者。所有无元件的 PCB 区域必须用额外的接地覆铜，以创造屏蔽效果。必须避免死铜，以免产生额外的串扰。

5.4 多层板

高速设计需要良好的叠层才能为关键走线提供合适的阻抗。

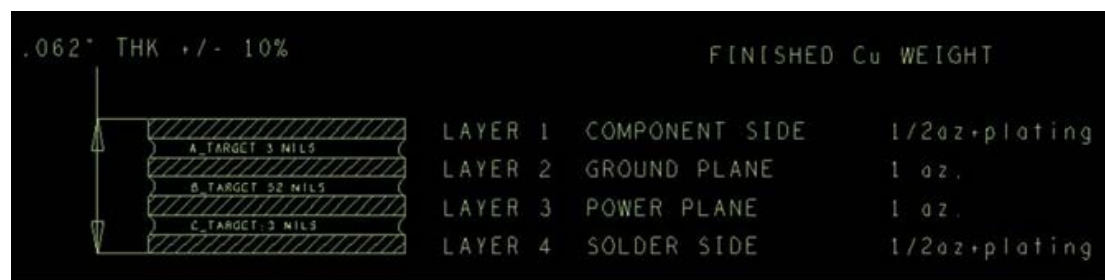


图 6. HPM6750-EVK 叠层

走线宽度的限制取决于许多因素，例如电路板叠层和相关的电介质和铜的厚度、所需的阻抗和所需的电流（用于电源走线）。这叠层还决定了布线和间距的约束。设计时考虑以下几点叠层并为您的电路板选择材料：

- 电路板叠层对于高速信号质量至关重要。
- 预先规划关键走线的阻抗。
- 高速信号必须在相邻层上具有参考平面，以尽量减少串扰。

对于 HPM6700/6400 系列产品，EVK 的参考设计采用 4 层板设计，并不能完整具备一个电源层和一个地层，设计中，需要尽量减少电源和地层的信号走线，保证电源层以及地层的相对完整性。

5.5 大容量和去耦电容器的放置

充足的电源去耦对于 HPM6700/6400 是必须的，它可以防止过度的电源噪声和地突变噪声。

将小的去耦电容和大容量电容放在 CPU 的底部，将去耦电容器放置在靠近电源管脚的位置，可以减小电感，并保证处理器的高速瞬态电流需满足要求。

- 旁路电容布置在尽可能靠近 MCU 的电源引脚和地引脚。
- 尽可能添加与 VDD/GND 对一样多的推荐旁路电容。
- 旁路电容焊盘与电源和地平面之间使用较宽的短走线/通孔来连接，

以减少串联电感，这样可以允许通过较大的电流同时减小电源的瞬态压降，同样也可以降低突变噪声的可能性。

对于 BGA 的去耦电容，推荐的布局如下图所示：

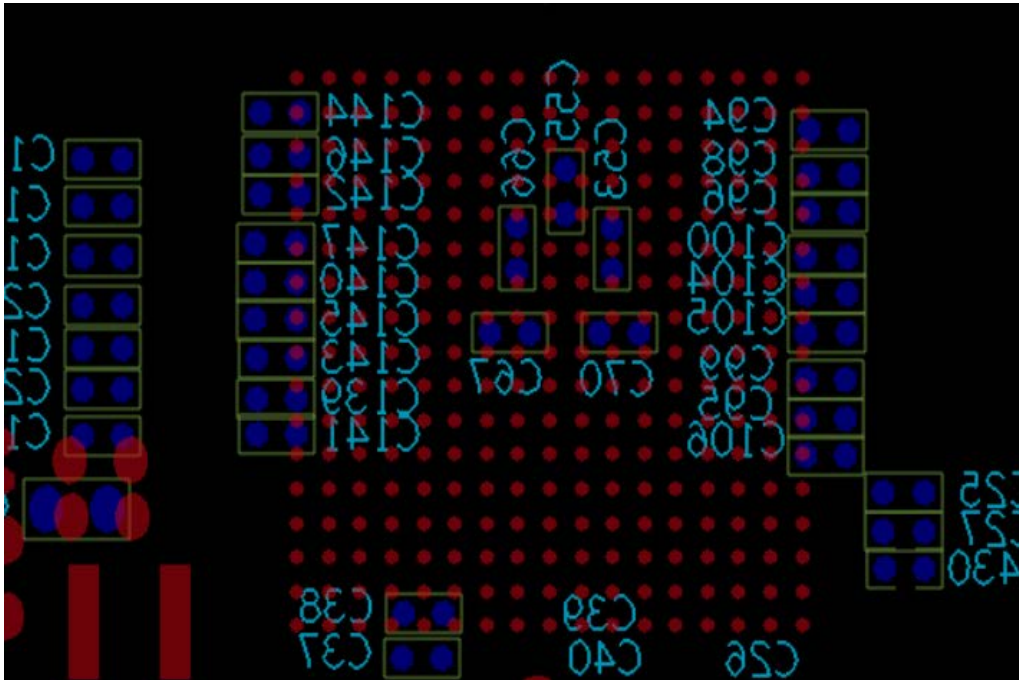


图 6 BGA 对应的去耦电容位置

5.6 USB 布线设计建议

对 USB 使用以下建议：

- 首先对高速时钟以及 DP 和 DM 差分信号对进行布线。
- 在电路板的顶层（或底层）DP 和 DM 信号进行布线。
- 在连续平面（电源和地平面）上布线，保证所有引脚之间具有接地连续性，地线平面在同一个逻辑地上。
- 保持每个差分对的等长平行布线。
- 不要将 DP 和 DM 走线布置在振荡器下方。
- 不要将 DP 和 DM 走线与时钟或数据总线的走线平行。
- DP 和 DM 走线尽可能短。
- 在处理 DP 和 DM 信号走线时，尽量减少拐角布线，布线时使用 45 度转弯而不是 90 度转弯。
- 避免 DP 和 DM 信号上存在过孔，不要创建布线分支。

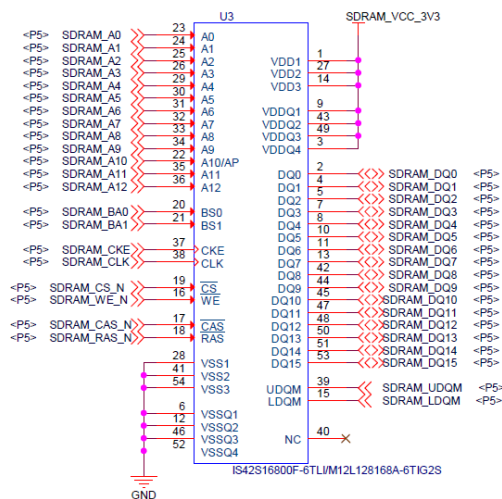
- 不使用 USB 信号时，建议不要连接 USB_OTG1_CHD_B、USB_OTG1_DN、USB_OTG1_DP、USB_OTG1_VBUS、USB_OTG2_DN、USB_OTG2_DP、USB_OTG2_VBUS 焊盘。

5.7 SDRAM 布线建议

SDRAM 接口是芯片布线的关键接口之一，理想情况下，所有信号进行等长布线，单端走线的阻抗必须为 50 Ω。

SDRAM 路由必须分为两组：数据和地址/控制。请查看 EVK 布局将所有 SDRAM 信号分成两组：

- 数据线。
- 地址线和控制线。



5.8 高速信号布线建议

以下规则提供了为高速信号布线的建议。请注意，必须匹配传播延迟和阻抗控制，才能与设备进行正确的通信。

规则一：高速信号走线屏蔽规则

在高速的 PCB 设计中，时钟等关键的高速信号线，走线需要进行屏蔽处理，如果没有屏蔽或只屏蔽了部分，都是会造成 EMI 的泄漏。建议屏蔽线，每 1000mil，打孔接地。

规则二：高速信号的走线闭环规则

时钟信号等高速信号网络，在多层的 PCB 走线的时候产生了闭环的结果，

这样的闭环结果将产生环形天线，增加 EMI 的辐射强度。需要避免。

规则三：高速信号的走线开环规则

规则二提到高速信号的闭环会造成 EMI 辐射，同样的开环同样会造成 EMI 辐射，时钟信号等高速信号网络，在多层的 PCB 走线的时候产生了开环的结果，这样的开环结果将产生线形天线，增加 EMI 的辐射强度。在设计中我们也要避免。

规则四：高速信号的特性阻抗连续规则

高速信号，在层与层之间切换的时候必须保证特性阻抗的连续，否则会增加 EMI 的辐射。

规则五：高速 PCB 设计的布线方向规则

相邻两层间的走线必须遵循垂直走线的原则，否则会造成线间的串扰，增加 EMI 辐射。

规则六：高速 PCB 设计中的拓扑结构规则

在高速 PCB 设计中有两个最为重要的内容，就是线路板特性阻抗的控制和多负载情况下的拓扑结构的设计。高速的拓扑结构我们建议使用后端的星形对称结构。

规则七：走线长度的谐振规则

检查信号线的长度和信号的频率是否构成谐振，即当布线长度为信号波长 $1/4$ 的时候的整数倍时，此布线将产生谐振，而谐振就会辐射电磁波，产生干扰。

规则八：回流路径规则

所有的高速信号必须有良好的回流路径。尽可能的保证时钟等高速信号的回流路径最小。否则会极大的增加辐射，并且辐射的大小和信号路径和回流路径所包围的面积成正比。

规则九：器件的去耦电容摆放规则

去耦电容的摆放的位置非常的重要。不合理的摆放位置，是根本起不到去耦的效果。去耦电容的摆放的原则是：靠近电源的管脚，并且电容的电源走线和地线所包围的面积最小。

6 Bootloader

芯片默认是通过 BOOT_MODE[1:0]=[PZ07:PZ06] 引脚选择三种不同的启动模式，启动配置如下表所示：

表 4 启动引导配置

启动配置		启动模式	说明
BOOT_MODE1	BOOT_MODE0		
0	0	从 XPI NOR 启动	从连接在XPI0/1 上的串行NOR FLASH 启动
0	1	从 UART/USB-HID 启动	从 UART0/USB0 上启动
1	0	在系统编程 (ISP)	从UART0/USB0 上烧写固件, OTP
1	1	保留模式	保留模式