

# HPM6300 系列高性能微控制器数据手册 Rev2.1

- 32 位 RISC-V 处理器
  - 支持 RV32-IMAFDCP 指令集
  - DSP 单元，支持 SIMD 和 DSP 指令
  - L1 指令缓存和数据缓存各 32KB
  - 指令本地存储器 ILM 和数据本地存储器 DLM 各 128KB
- 内置存储器
  - 共 800 KB 片上 SRAM，包括通用内存和 CPU 的本地存储器
  - 4096 位 OTP
  - 128 KB BOOT ROM
- 电源和时钟
  - 多个片上电源，包括 DCDC 和 LDO
  - 低功耗模式，运行模式、等待模式、停止模式、休眠模式和关机模式
  - 24MHz 和 32768Hz 晶体振荡器
  - 3 个 PLL，支持小数分频、展频
- 外部存储器接口
  - 2 个串行总线控制器 XPI，支持各类外部串行 Flash 和 PSRAM
  - 1 个 DRAM 控制器，支持 8/16 位 SDRAM 和 LP SDRAM，166 MHz
  - 1 个 SDIO 控制器，支持 SD/SDHC/SDXC
- 音频系统
  - 2 个 I2S 接口
  - PDM 数字麦克风接口
  - 数字音频输出
- 电机系统
  - 2 个 PWM 定时器，3.0ns 精度
  - 2 个正交编码器接口和 2 个霍尔接口
- 定时器
  - 5 组 32 位通用定时器
  - 3 个看门狗
  - 实时时钟
- 通讯接口
  - 9 个 UART、4 个 SPI、4 个 I2C
  - 1 个 USB 2.0 OTG，集成 HS-PHY
  - 1 个百兆以太网控制器
  - 2 个 CAN 控制器，支持 CAN-FD
- 高性能模拟外设
  - 3 个 ADC，16 位/2MSPS，可配置为 12 位/4MSPS，共支持 24 通道模拟输入
  - 1 个 12 位 DAC，1MSPS
  - 2 个模拟比较器
- 输入输出
  - 108 个 GPIO
  - IO 支持 3.3V 和 1.8V
- 信息安全
  - AES-128/256 加解密引擎，支持 ECB，CBC 模式
  - SM2，SM3，SM4
  - SHA-1/256 哈希模块
  - 真随机数发生器
  - NOR Flash 实时解密

产品型号:
HPM6360IPAx*、HPM6360IEPx*
HPM6350IPAx*、HPM6350IEPx*
HPM6340IPAx*、HPM6340IEPx*
HPM6320IPAx*、HPM6320IEPx*
HPM6364IPAx*、HPM6364IEPx*

\*x=1: 版本 1, x=2: 版本 2

## 目录

<b>1 产品概述</b>	<b>3</b>
1.1 系统框图	3
1.2 特性总结	5
1.2.1 内核与系统	5
1.2.2 内部存储器	6
1.2.3 电源管理	7
1.2.4 时钟	7
1.2.5 复位	7
1.2.6 启动	7
1.2.7 外部存储器	8
1.2.8 音频外设	8
1.2.9 电机控制系统	8
1.2.10 定时器	9
1.2.11 通讯外设	9
1.2.12 模拟外设	9
1.2.13 输入输出	10
1.2.14 信息安全系统	10
1.2.15 系统调试	11
<b>2 引脚及功能描述</b>	<b>12</b>
2.1 eLQFP144L 引脚分布	12
2.2 BGA116 引脚分布	13
2.3 引脚配置及功能 PINMUX	14
2.4 特殊功能引脚	38
2.5 IO 复位状态	38
<b>3 电源</b>	<b>40</b>
3.1 电源框图	40
3.2 上下电时序	40
<b>4 电气特性</b>	<b>41</b>
4.1 工作条件	41
4.1.1 最大值和最小值	41
4.1.2 正常工作条件	42
4.2 内置闪存特性	42
4.3 VPMC 欠压检测	43
4.4 振荡器	43
4.4.1 32.768KHz 振荡器特性	43
4.4.2 24MHz 振荡器特性	44
4.4.3 32KHz RC 振荡器时钟特性	44
4.4.4 24MHz RC 振荡器时钟特性	44
4.4.5 PLL 特性	44
4.5 外设时钟特性	45

4.6	工作模式	47
4.7	供电电流特性	47
4.8	I/O 特性	48
4.8.1	I/O DC 特性	48
4.8.2	I/O AC 特性	48
4.9	JTAG 接口	50
4.10	XPI 存储器接口	51
4.10.1	DC 特性	51
4.10.2	AC 特性	51
4.11	音频接口	56
4.11.1	I2S 接口	56
4.11.2	PDM 接口	58
4.12	模拟接口	59
4.12.1	16 位模数转换 ADC 特性	59
4.12.2	比较器 ACMP 特性	60
4.12.3	12 位数模转换器 DAC 特性	60
4.13	通信接口	62
4.13.1	以太网接口	62
4.14	SPI 接口	63
4.14.1	SPI 主模式时序图	63
4.14.2	SPI 从模式时序图	64
4.15	I2C 接口	65
5	封装	66
5.1	eLQFP144L 封装尺寸	66
5.2	BGA116 封装尺寸	66
5.3	封装热阻系数	67
6	订购信息	68
6.1	产品命名规则	68
6.2	订购信息	68
6.3	封装引出功能差异	70
7	版本信息	71
8	免责声明	72

## 表格目录

1	外设简称总结	5
2	SOC IOMUX	35
3	PMIC IOMUX	36
4	BATT IOMUX	37
5	启动配置表	38
6	特殊功能引脚配置	38
7	IO 复位状态表	39
8	电源部分电感, 电容参考值	40
9	最大值和最小值	41
10	正常工作条件	42
11	内置闪存特性	43
12	VPMC 欠压检测特性	43
13	32.768KHz 晶振	44
14	24MHz 晶振	44
15	32KHz RC 振荡器	44
16	24MHz RC 振荡器	44
17	PLL 特性参数	45
18	外设时钟特性	46
19	工作模式配置表	47
20	运行模式的典型电流	47
21	IDD(VBAT) 典型电流	47
22	IDD(VPMC) 典型电流	47
23	IO 工作条件	48
24	I/O AC 特性	49
25	JTAG 时序参数	50
26	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X0)	51
27	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X1)	51
28	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 1)	52
29	XPI SDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 2)	52
30	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X0)	53
31	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X1)	53
32	XPI DDR 模式的输入特性 (XPI_GCR0[RXCLKSRC] = 0X3)	54
33	XPI SDR 模式的输出信号时序	54
34	XPI DDR 模式的输出信号时序	55
35	I2S 接口 CLK Master 时 3.3V 供电的时序	56
36	I2S 接口 CLK Master 时 1.8V 供电的时序	57
37	I2S 接口 CLK Slave 时 3.3V 供电的时序	57
38	I2S 接口 CLK Slave 时 1.8V 供电的时序	58
39	PDM 参数	58
40	16 位 ADC 参数	59

# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

41	比较器参数	60
42	12 位 DAC 参数	61
43	RMII 参数	62
44	SPI 主模式参数 (注: $t_{\text{periph}} = 1000 / f_{\text{periph}}$ )	64
45	SPI 从模式参数 (注: $t_{\text{periph}} = 1000 / f_{\text{periph}}$ )	65
46	I2C 工作模式及参数	65
47	各封装热阻系数表	67
48	订购信息	69
49	封装引出功能差异	70
50	版本信息	71

## 图片目录

1	系统架构框图	3
2	eLQFP144L 引脚分布, 底部中央为 VSS 接地	12
3	BGA116 引脚分布	13
4	系统供电框图	40
5	上电时序要求	41
6	I/O AC 特性	48
7	JTAG 时序图	50
8	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1)	51
9	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 1)	52
10	XPI SDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3, 情形 2)	52
11	XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X0,0X1)	53
12	XPI DDR 模式的输入时序 (XPI_GCR0[RXCLKSRC] = 0X3)	53
13	XPI SDR 模式的输出信号	54
14	XPI DDR 模式的输出信号	54
15	I2S 输出时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)	56
16	I2S 输入时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)	57
17	PDM 时序图	58
18	RMII 接口时序	62
19	SPI 主模式时序 (CPHA=0)	63
20	SPI 主模式时序 (CPHA=1)	63
21	SPI 从模式时序 (CPHA=0)	64
22	SPI 从模式时序 (CPHA=1)	64
23	eLQFP144L 封装尺寸图	66
24	BGA116 封装尺寸图	67
25	产品命名规则	68

## 1 产品概述

### 1.1 系统框图

本产品的系统框图如图 1。

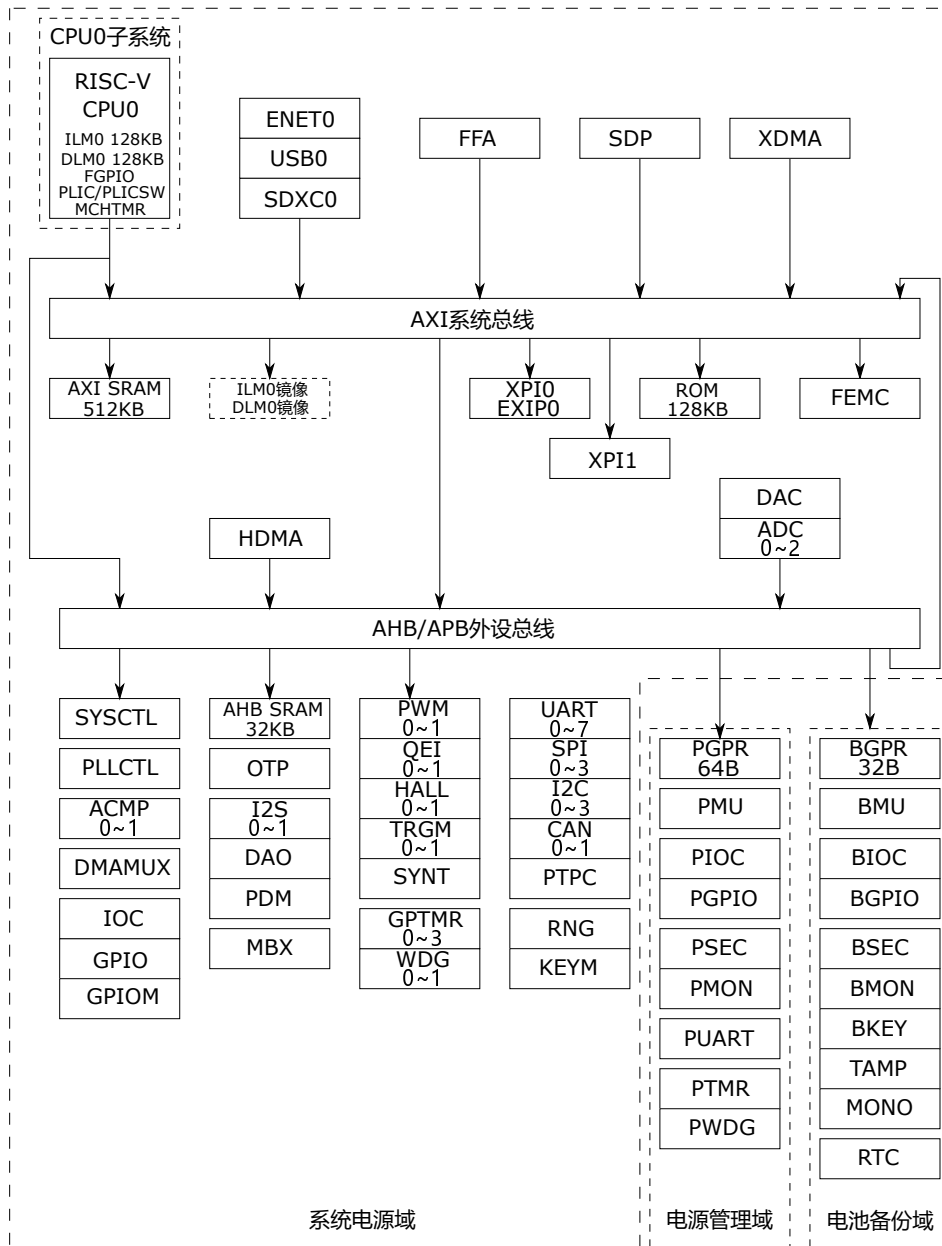


图 1: 系统架构框图

表 1总结了图 1中所有外设简称的释义。

简称	描述
CPU0 子系统	包含 RISC-V CPU0 及其本地存储器和私有外设的子系统
CONN 子系统	包含高速通讯外设的子系统

简称	描述
HART	硬件线程 (Hardware Thread), RISC-V 规范定义一个可以包含完整 RISC-V 体系架构, 并可以独立执行指令的单元为 HART。本手册中, HART 等同与 RISC-V 内核。
ILM	指令本地存储器 (Instruction Local Memory)
DLM	数据本地存储器 (Data Local Memory)
FGPIO	快速 GPIO 控制器 (Fast General Purpose Input Output)
ENET	以太网控制器 (Ethernet)
USB	通用串行总线 (Universal Serial Bus)
SDXC	SD/eMMC 控制器 (Secure Digital Memory Card / Multi-Media Card)
SDP	安全数据处理器 (Secure Data Processor)
XDMA	AXI 系统总线 DMA 控制器 (AXI DMA)
HDMA	AHB 外设总线 DMA 控制器 (AHB DMA)
AXI SRAM	AXI 总线 SRAM
AHB SRAM	AHB 总线 SRAM
XPI	串行总线控制器
FEMC	多功能外部存储器控制器 (Flexible External Memory Controller)
EXIP	在线解密模块 (Encrypted Execution-In-Place)
ADC	模数转换器 (Analog-to-Digital Converter)
DAC	数模转换器 (Digital-to-Analog Converter)
SYSCTL	系统控制模块 (System Control)
PLLCTL	锁相环控制器 (PLL Controller)
ACMP	模拟比较器 (Analog Comparator)
MBX	信箱 (Mailbox)
DMAMUX	DMA 请求路由器
FFA	快速傅里叶变换和滤波器加速模块 (FFT and Filter Accelerator)
IOC	IO 控制器 (Input Output Controller)
PIOC	电源管理域 IO 控制器
BIOC	电池备份域 IO 控制器
GPIO	通用输入输出控制器 (General Purpose Input Output)
PGPIO	电源管理域 GPIO 控制器
BGPIO	电池备份域 GPIO 控制器
GPIOM	GPIO 管理器 (GPIO Manager)
OTP	一次性可编程存储 (One Time Program)
I2S	集成电路内置音频总线 (Inter IC Sound)
DAO	数字音频输出 (Digital Audio Output)
PDM	PDM 数字麦克风 (Pulse Density Modulation)
PWM	PWM 定时器 (Pulse Width Modulation)
QEI	正交编码器接口 (Quadrature Encoder Interface)
HALL	霍尔传感器接口
TRGM	互联管理器 (Trigger Manager)



简称	描述
SYNT	同步定时器 (Sync Timer)
GPTMR	通用定时器 (General Purpose Timer)
PTMR	电源管理域内的通用定时器
WDG	看门狗 (Watchdog)
PWDG	电源管理域内的看门狗
UART	通用异步收发器 (Universal Asynchronous Receiver and Transmitter)
PUART	电源管理域内的通用异步收发器
SPI	串行外设接口 (Serial Peripheral Interface)
I2C	集成电路总线 (Inter-Integrated Circuit)
CAN	控制器局域网 (Control Area Network)
PTPC	精确时间协议模块 (Precise Time Protocol)
RNG	随机数发生器 (Random Number Generator)
KEYM	密钥管理器 (Key Manager)
PGPR	电源管理域的通用寄存器
BGPR	电池备份域的通用寄存器
PCFG	电源管理域配置模块
BCFG	电池备份域配置模块
PSEC	电源管理域安全管理器
BSEC	电池备份域安全管理器
PMON	电源管理域监视器
BMON	电池备份域监视器
BKEY	电池备份域密钥模块
TAMP	侵入检测模块
MONO	单调计数器 (Monolithic Counter)
RTC	实时时钟 (Real Time Clock)
系统电源域	本手册中, 系统电源域专指由 VDD_SOC 供电的逻辑和存储电路
电源管理域	本手册中, 电源管理域专指由 VPMC 供电的逻辑和存储电路
电池备份域	本手册中, 电池备份域专指由 VBAT 供电的逻辑和存储电路

表 1: 外设简称总结

## 1.2 特性总结

本章节介绍本产品的主要特性。

### 1.2.1 内核与系统

32 位 RISC-V 处理器, 处理器特性如下:

- RV32-IMAFDCP 指令集
  - 整数指令集
  - 乘法指令集
  - 原子指令集

- 单精度浮点数指令集
- 双精度浮点数指令集
- 压缩指令集
- DSP 单元，支持 SIMD 和 DSP 指令，兼容 RV32-P 扩展指令集
- 性能可达 5.6 CoreMark / MHz
- 特权模式支持 Machine 模式，Supervisor 模式和 User 模式
- 支持 16 个物理内存保护（Physical Memory Protection PMP）区域
- 支持 32KB L1 指令缓存和 32KB L1 数据缓存
- 支持 128 KB 指令本地存储器 ILM 和 128 KB 数据本地存储器 DLM

处理器配备 1 个平台中断控制器 PLIC，用于管理 RISC-V 的外部中断

- 支持 78 个中断源
- 支持 8 级可编程中断优先级
- 中断嵌套扩展和中断向量扩展

处理器内核配备 1 个软件中断控制器 PLICSW，管理 RISC-V 的软件中断

- 生成 RISC-V 软件中断

处理器内核配备 1 个机器定时器 MCHTMR，管理 RISC-V 的定时器中断

- 生成 RISC-V 定时器中断

2 个 DMA 控制器：

- XDMA，支持 8 个通道，用于在存储器之间进行高带宽的数据搬移
- HDMA，支持 8 个通道，用于在外设寄存器和存储器之间进行低延迟的数据搬移
- 支持 DMA 请求路由分配到任意 DMA 控制器

包括 1 个邮箱 MBX，支持处理器不同进程间的通信：

- 支持独立的信息收发接口
- 支持生成中断

1 个快速傅里叶变换和数字滤波器加速模块（FFA）：

- 支持 512 点 FFT 加速
- 支持 FIR 加速
- 内置 DMA，直接读取数据并返回运算结果

## 1.2.2 内部存储器

内部存储器包括：

- 800 KB 的片上 SRAM
  - ILM0，RISC-V CPU0 的指令本地存储器，128KB
  - DLM0，RISC-V CPU0 的数据本地存储器，128KB
  - AXI SRAM0，512KB，高速片上 SRAM
  - AHB SRAM，32KB，适用于 HDMA 的低延时访问
- 通用寄存器
  - 电源管理域通用寄存器 PGPR，容量 64 字节，可以在系统电源域掉电时保存数据
  - 电池备份域通用寄存器 BGPR，容量 32 字节，可以在系统电源域，电源管理域掉电时保存数据

- 内部只读存储器 ROM，容量 128KB，ROM 存放本产品的启动代码，闪存加载（Flashloader）和部分外设驱动程序
- 一次性可编程存储器 OTP，4096 位，可用于存放芯片的部分出厂信息，用户密钥和安全配置，启动配置等数据

### 1.2.3 电源管理

本产品集成了完整的电源管理系统：

- 多个片上电源
  - DCDC 电压转换器，提供 0.9~1.3V 输出，为系统电源域的电路供电，可调节 DCDC 输出，以支持动态电压频率调整 DVFS
  - LDOPMC，典型值 1.1V 输出的线性稳压器，为电源管理域的电路供电
  - LDOOTP，典型值 2.5V 输出的线性稳压器，为 OTP 供电，仅可在烧写 OTP 时打开
- 运行模式和低功耗模式：等待模式、停止模式、休眠模式和关机模式
- 芯片集成上电复位电路
- 芯片集成低压检测电路

### 1.2.4 时钟

本产品时钟管理系统支持多个时钟源和时钟低功耗管理：

- 外部时钟源：
  - 24MHz 片上振荡器，OSC24M，支持 24MHz 晶体，也支持通过引脚从外部输入 24MHz 有源时钟，24MHz 外部高速振荡器是片上各个 PLL 的默认时钟源
  - 32.768KHz 片上振荡器，OSC32K，支持 32.768KHz 晶体，用作电池备份域外设如实时时钟 (RTC) 等的时钟源
- 内部时钟源：
  - 内部 RC 振荡器，RC24M，频率 24MHz，允许配置内部 RC 振荡器作为 PLL 的候补时钟源
  - 内部 32KHz RC 振荡器，RC32K，作为 RTC 等设备的候补时钟源
- 3 个锁相环 PLL，支持小数分频，支持展频
- 支持低功耗管理，支持自动时钟门控

### 1.2.5 复位

全局复位，也称为电池备份域复位，可以复位整个芯片，包括电池备份域，电源管理域和系统电源域，复位源有：

- RESETN 引脚复位（RESETN）

系统电源域复位可以复位系统电源域，复位源有：

- VPMC 引脚的低压复位（VPMC BOR）
- 调试复位（DEBUG RST）
- 看门狗复位（WDOGx RST）
- 软件复位（SW RST）

### 1.2.6 启动

BootROM 为该芯片上电后执行的第一段程序，它支持如下功能：

- 从串行 NOR FLASH 启动
- UART/USB 启动
- 在系统编程 (ISP)
- 安全启动
- 低功耗唤醒
- 多种 ROM API

### 1.2.7 外部存储器

外部存储器接口包括：

- 2 个串行总线控制器 XPI，可以连接片外的各种 SPI 串行存储设备，也可以连接支持串行总线的器件，每个 XPI：
  - 支持 1/2/4/8 位数据模式，支持 2 个 CS 片选信号
  - 支持 SDR 和 DDR，最高支持 166MHz
  - 支持 Quad-SPI 和 Octal-SPI 的串行 NOR Flash
  - 支持串行 NAND Flash
  - 支持 HyperBus，HyperRAM 和 HyperFlash
  - 支持 Quad/Oct SPI PSRAM
- 1 个多功能外部存储器控制器 FEMC
  - DRAM 控制器
    - \* 支持 SDRAM 和支持 LPDDR SDRAM
    - \* 支持 8 位，16 位和 32 位数据宽度
    - \* 支持最高 166MHz 时钟
  - SRAM 控制器
    - \* 支持连接外部 SRAM 存储器或者访问接口兼容 SRAM 的外部器件
    - \* 支持异步访问
    - \* 支持数据地址复用模式 (ADMUX) 或者非复用模式 (Non-ADMUX)
    - \* 支持 8 位或 16 位数据端口
- 1 个 SD 控制器 SDXC
  - 支持 SD/SDHC/SDXC，支持 4 位数据位宽，支持 DS，HS，SDR12，SDR25，SDR50

### 1.2.8 音频外设

音频接口包括：

- 2 个 I2S 接口，每个 I2S 支持 4 线 Tx 和 4 线 Rx，支持 I2S Philips 标准，MSB 对齐标准，LSB 对齐标准，PCM 对齐标准，支持 TDM 模式，最多 16 通道
- 1 个 PDM 数字麦克风接口，将 PDM 数据流转换为 24 位 PCM 音频数据，支持最多 8 通道数据输入
- 1 个数字音频输出 DAO，支持 2 通道输出，每个通道支持一对差分 PWM 输出引脚，直接驱动 Class D 音频放大器

### 1.2.9 电机控制系统

电机控制系统包括：

- 2 组电机控制系统，每组电机控制系统配备有：

- 1 个 8 通道 PWM 定时器 PWM，PWM 调制精度达 3.0ns，支持产生互补 PWM 输出，死区插入和故障保护
- 1 个正交编码器接口 QEI
- 1 个霍尔传感器接口 HALL
- 1 个互联管理器 TRGM
- 各模块支持通过互联管理器 TRGM 与电机控制系统内部或外部的模块交互
- 1 个同步定时器，用于同步各组电机控制系统

### 1.2.10 定时器

定时器包括：

- 5 组 32 位通用定时器，其中一组 (PTMR) 位于电源管理域，支持低功耗唤醒，每组通用定时器包括 4 个 32 位计数器
- 3 个看门狗，其中一个 (PWDG) 位于电源管理域
- 1 个实时时钟，位于电池备份域

### 1.2.11 通讯外设

支持丰富的通讯外设，包括：

- 9 个通用异步收发器 UART，其中 1 个 (PUART) 位于电源管理域，支持低功耗唤醒
- 4 个串行外设接口 SPI
- 4 个集成电路总线 I2C，支持标准 (100kbps)，快速 (400kbps) 和快速 + (1 Mbps)
- 2 个控制器局域网 CAN，支持 CAN\_FD
  - 支持 CAN 2.0B 标准，1Mbps
  - 支持 CAN FD，8 Mbps
  - 支持时间戳
- 1 个精确时间协议模块 PTPC，PTPC 支持 2 组时间戳模块，每组包含 64 位计数器，连接到 CAN 模块，CAN 模块可以随时从端口读取时间戳信息
- 1 个 USB OTG 控制器，集成 1 个高速 USB-PHY
  - 符合 *Universal Serial Bus Specification Rev. 2.0*
- 1 个以太网控制器 ENET
  - 支持 10/100 Mbps 数据传输
  - 支持 RMII 接口
  - 支持由 IEEE 1588-2002 和 IEEE 1588-2008 标准定义的以太网帧时间戳
  - MDIO 主接口，用于配置和管理 PHY

### 1.2.12 模拟外设

模拟外设包括：

- 3 个 16 位模拟数字转换器 ADC
  - 16 位逐次逼近型 ADC
  - 支持 16 个输入通道
  - 2M 采样率，4M 采样率 (转换精度设置为 12 位)
- 2 个高速比较器
  - 工作电压 3.0 ~ 3.6V，支持轨到轨输入

- 内置 8 位 DAC
- 1 个数模转换器 DAC
  - 12 位精度，1MSPS，支持输出缓存

## 1.2.13 输入输出

- 提供 PA~PZ 共 8 组最多 108 个 GPIO 功能复用引脚
- IO 支持 3V 和 1.8V 电压，分组供电
- IO 支持开漏控制、内部上下拉、驱动能力调节，内置施密特触发器
- GPIO 控制器
  - 支持读取任意 IO 的输入或者控制 IO 的输出
  - 支持 IO 输入触发中断
- 快速 GPIO 控制器 FGPIO，作为处理器私有的 IO 快速访问接口
- 提供一个 GPIO 管理器，管理各 GPIO 控制器的 IO 控制权限
- 电源管理域专属 IO PYxx 拥有专属 GPIO 控制器和 IO 配置模块，支持低功耗模式下状态保持
- 电池备份域专属 IO PZxx 拥有专属 GPIO 控制器和 IO 配置模块，支持低功耗模式下状态保持

## 1.2.14 信息安全系统

信息安全模块包含：

- 安全数据处理器 SDP，为片上加解密算法引擎：
  - 支持 AES-128/256，支持 ECB 模式和 CBC 模式
  - 支持 SHA-1/SHA-256
- 在线解密模块 EXIP：
  - 与串行总线控制器 XPI 紧密耦合，支持外部 NOR Flash 在线解密
  - AES-128 CTR 模式，零等待周期解密
  - 支持 RFC3394 的密钥解封，通过密钥加密密钥 KEK 保护数据加密密钥 DEK
- 密钥管理器 KEYM：
  - 支持通过独立的数据通路从电池域密钥单元 BKEY 和 OTP 的密钥区载入密钥
  - 支持密钥混淆
  - 支持从真随机数发生器 RNG 载入随机密钥
  - 支持生成 Session Key
  - 支持独立的数据通路将密钥传送到安全数据处理器 SDP
- 密钥单元 BKEY：
  - 使用电池备份域的供电保存密钥
  - 受电池备份域安全管理器 BSEC 保护，在违反安全规则的事件发生时，擦除密钥
- OTP 中的密钥区，支持存放并保护：
  - SDP，EXIP 的相关密钥
  - 安全启动的相关密钥
  - 安全调试相关密钥
  - 产品生命周期配置
- 真随机数发生器 RNG：
  - 3 个独立熵源为内部模拟噪声源
- 电源管理域安全管理器 PSEC：

- 监测产品生命周期
- 配置系统 (系统电源域和电源域) 安全状态,
- 制定安全规则并监测安全规则违反的事件
- 关联电源管理域监视器 PMON, 监测 VPMC 供电和时钟 OSC24M
- 电池备份域安全管理器 BSEC:
  - 配置电池备份域安全状态, 制定安全规则
  - 关联电池备份域监视器 BMON, 监测 VBAT 供电和时钟 XTAL32K
  - 关联侵入检测模块 TAMP, 监测侵入事件
  - 关联单调计数器 MONO
- 基于 BOOT ROM 的安全启动机制, 支持加密启动, 支持可信的执行环境

## 1.2.15 系统调试

系统调试模块包括:

- 支持 JTAG 接口
  - 支持 *RISC-V External Debug Support V0.13* 规范
  - 支持 IEEE1149.1
  - 访问 RISC-V 内核寄存器和 CSR, 访问存储器
- 调试端口锁定功能
  - 开放模式, 调试功能开放
  - 锁定模式, 调试功能关闭, 可以通过调试密钥解锁
  - 关闭模式, 调试功能关闭

## 2 引脚及功能描述

### 2.1 eLQFP144L 引脚分布

eLQFP144L 分布如图 23。

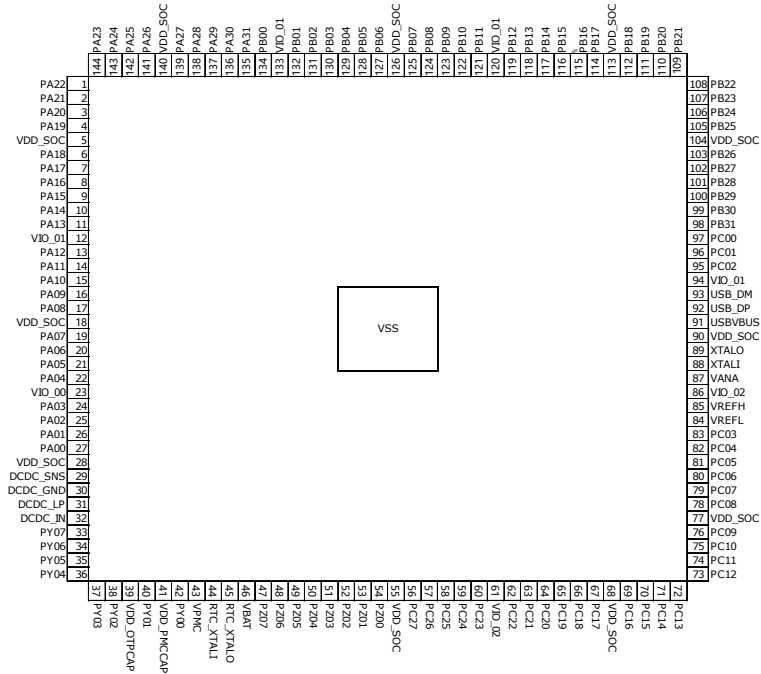


图 2: eLQFP144L 引脚分布，底部中央为 VSS 接地



## 2.2 BGA116 引脚分布

BGA116 分布如图 3。

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	VSS	PA27		PA30		PB11		PB15		PB19		PB23	VSS
B	PA26	PA25	PA28	PA29		PB12	PB13	PB14		PB20	PB21	PB22	PB24
C		PA24	VIO_01	PA31	PB00	PB01	VDD_SOC	PB16	PB17	PB18	VIO_01	PB25	
D	PA22	PA23	PA21	VIO_01			VDD_SOC			VIO_01	PB28	PB26	PB27
E			PA20		VSS	VSS		VSS	VSS		USB_DM		
F	PA18	PA17	PA19		VIO_00		VSS		VANA		USB_DP	PB29	PB31
G		PA16	DCDC_SNS	VDD_SOC		VSS		VSS		VDD_SOC	VDD_SOC	PB30	
H	PA04	PA05	PA03		DCDC_GND		VDD_OTPCAP		VREFH		XTALI	XTALO	USBVBUS
J			PA02		DCDC_LP	VPMC		VBAT	VREFL		PC06		
K	PA00	PY07	PA01	DCDC_IN			VDD_PMC CAP			VIO_02	PC07	PC09	PC08
L		PY06	DCDC_IN	PZ03	PZ02	PZ01	VDD_PMC CAP	PC19	PC18	PC17	VIO_02	PC10	
M	PY05	PY03	PY02	PY01		RTC_XTALI	PZ00	PC21		PC15	PC14	PC11	PC12
N	VSS	PY04		PY00		RTC_XTALO		PC20		PC16		PC13	VSS

图 3: BGA116 引脚分布

## 2.3 引脚配置及功能 PINMUX

HPM6320 系列的引脚配置及功能如下:

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
27	15	K1	PA00	GPIO_A_00(ALT0) UART1_TXD(ALT2) SPI3_CSN(ALT5) XPIO_CA_CS0(ALT14) SDC0_DATA_1(ALT17)	-	VIO_00	1
26	14	K3	PA01	GPIO_A_01(ALT0) UART1_RXD(ALT2) SPI3_MISO(ALT5) XPIO_CA_D_1(ALT14) SDC0_DATA_0(ALT17)	-	VIO_00	1
25	13	J3	PA02	GPIO_A_02(ALT0) UART2_TXD(ALT2) SPI3_SCLK(ALT5) XPIO_CA_D_2(ALT14) SDC0_CLK(ALT17)	-	VIO_00	1
24	12	H3	PA03	GPIO_A_03(ALT0) UART2_RXD(ALT2) SPI3_MOSI(ALT5) XPIO_CA_D_0(ALT14) SDC0_CMD(ALT17)	-	VIO_00	1
22	11	H1	PA04	GPIO_A_04(ALT0) UART3_TXD(ALT2) SPI3_DAT3(ALT5) XPIO_CA_SCLK(ALT14) ACMP_COMP_1(ALT16) SDC0_DATA_3(ALT17)	-	VIO_00	1
21	10	H2	PA05	GPIO_A_05(ALT0) UART3_RXD(ALT2) SPI3_DAT2(ALT5) XPIO_CA_D_3(ALT14) ACMP_COMP_0(ALT16) SDC0_DATA_2(ALT17)	-	VIO_00	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
20	-	-	PA06	GPIO_A_06(ALT0) GPTMR0_CAPT_0(ALT1) UART2_DE(ALT2) UART2_RTS(ALT3) I2C0_SCL(ALT4) SPI0_CSN(ALT5) XPI0_CA_CS1(ALT14) ETH0_TXEN(ALT18)	-	VIO_00	1
19	-	-	PA07	GPIO_A_07(ALT0) GPTMR0_CAPT_1(ALT1) UART2_CTS(ALT3) I2C0_SDA(ALT4) SPI0_MISO(ALT5) XPI0_CA_DQS(ALT14) ETH0_TXD_1(ALT18)	-	VIO_00	1
17	-	-	PA08	GPIO_A_08(ALT0) GPTMR0_COMP_0(ALT1) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) SPI0_SCLK(ALT5) CAN0_TXD(ALT7) XPI0_CB_D_0(ALT14) SDC0_DATA_2(ALT17) ETH0_TXD_0(ALT18)	-	VIO_01	1
16	-	-	PA09	GPIO_A_09(ALT0) GPTMR0_COMP_1(ALT1) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI0_MOSI(ALT5) CAN0_RXD(ALT7) XPI0_CB_D_2(ALT14) SDC0_DATA_3(ALT17) ETH0_RXD_1(ALT18)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
15	-	-	PA10	GPIO_A_10(ALT0) GPTMR1_CAPT_0(ALT1) UART4_DE(ALT2) UART4_RTS(ALT3) SPI0_CSN(ALT5) CAN1_TXD(ALT7) XPI0_CB_D_1(ALT14) SDC0_CMD(ALT17) ETH0_RXD_0(ALT18)	-	VIO_01	1
14	-	-	PA11	GPIO_A_11(ALT0) GPTMR1_CAPT_1(ALT1) UART4_CTS(ALT3) SPI0_MISO(ALT5) CAN1_RXD(ALT7) XPI0_CB_SCLK(ALT14) SDC0_CLK(ALT17) ETH0_RXDV(ALT18)	-	VIO_01	1
13	-	-	PA12	GPIO_A_12(ALT0) GPTMR1_COMP_0(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) SPI0_SCLK(ALT5) XPI0_CB_D_3(ALT14) SDC0_DATA_0(ALT17) ETH0_REFCLK(ALT18)	-	VIO_01	1
11	-	-	PA13	GPIO_A_13(ALT0) GPTMR1_COMP_1(ALT1) UART5_CTS(ALT3) SPI0_MOSI(ALT5) PDM0_D_3(ALT10) XPI0_CB_DQS(ALT14) SDC0_DATA_1(ALT17) ETH0_RXER(ALT18) ETH0_MDIO(ALT19) SOC_REF1(ALT24)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
10	-	-	PA14	GPIO_A_14(ALT0) UART4_TXD(ALT2) SPI0_DAT3(ALT5) PDM0_D_2(ALT10) XPIO_CB_CS1(ALT14) PWM1_P_5(ALT16) SDC0_CDN(ALT17) ETH0_RXD_3(ALT18) ETH0_MDC(ALT19) SOC_REF0(ALT24)	-	VIO_01	1
9	-	-	PA15	GPIO_A_15(ALT0) UART4_RXD(ALT2) SPI0_DAT2(ALT5) PDM0_CLK(ALT10) XPIO_CB_CS0(ALT14) PWM1_P_4(ALT16) SDC0_WP(ALT17) ETH0_RXD_2(ALT18) ETH0_MDIO(ALT19) SYSCTL_CLK_OBS_3(ALT24)	-	VIO_01	1
8	7	G2	PA16	GPIO_A_16(ALT0) UART5_TXD(ALT2) SPI1_CSN(ALT5) PDM0_D_1(ALT10) PWM1_P_3(ALT16) SDC0_VSEL(ALT17) ETH0_RXCK(ALT18) ETH0_MDC(ALT19) SYSCTL_CLK_OBS_2(ALT24)	-	VIO_01	1
7	6	F2	PA17	GPIO_A_17(ALT0) UART5_RXD(ALT2) SPI1_MISO(ALT5) PDM0_D_0(ALT10) PWM1_P_2(ALT16) ETH0_RXD_1(ALT18) SYSCTL_CLK_OBS_1(ALT24)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
6	5	F1	PA18	GPIO_A_18(ALT0) UART6_TXD(ALT2) SPI1_SCLK(ALT5) PDM0_CLK(ALT10) PWM1_P_1(ALT16) ETH0_RXD_0(ALT18) SYSCTL_CLK_OBS_0(ALT24)	-	VIO_01	1
4	2	F3	PA19	GPIO_A_19(ALT0) GPTMR0_CAPT_0(ALT1) UART6_RXD(ALT2) I2C2_SCL(ALT4) SPI1_MOSI(ALT5) DAOR_P(ALT10) PWM1_P_0(ALT16) ETH0_RXDV(ALT18)	-	VIO_01	1
3	1	E3	PA20	GPIO_A_20(ALT0) GPTMR0_CAPT_1(ALT1) UART7_TXD(ALT2) I2C2_SDA(ALT4) DAOR_N(ALT10) TRGM1_P_00(ALT16) ETH0_TXD_0(ALT18)	-	VIO_01	1
2	80	D3	PA21	GPIO_A_21(ALT0) GPTMR0_COMP_0(ALT1) UART7_RXD(ALT2) I2C3_SCL(ALT4) CAN0_TXD(ALT7) DAOL_P(ALT10) TRGM1_P_01(ALT16) ETH0_TXD_1(ALT18)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
1	79	D1	PA22	GPIO_A_22(ALT0) GPTMR0_COMP_1(ALT1) UART6_DE(ALT2) UART6_RTS(ALT3) I2C3_SDA(ALT4) CAN0_RXD(ALT7) DAOL_N(ALT10) TRGM1_P_02(ALT16) ETH0_REFCLK(ALT18)	-	VIO_01	1
144	77	D2	PA23	GPIO_A_23(ALT0) GPTMR1_CAPT_0(ALT1) UART6_CTS(ALT3) I2C0_SCL(ALT4) CAN0_STBY(ALT7) FEMC_CS_1(ALT12) TRGM1_P_03(ALT16) ETH0_TXEN(ALT18)	-	VIO_01	1
143	78	C2	PA24	GPIO_A_24(ALT0) GPTMR1_CAPT_1(ALT1) UART7_DE(ALT2) UART7_RTS(ALT3) I2C0_SDA(ALT4) CAN1_STBY(ALT7) FEMC_SCLK(ALT12) TRGM1_P_04(ALT16) ETH0_TXD_2(ALT18)	-	VIO_01	1
142	75	B2	PA25	GPIO_A_25(ALT0) GPTMR1_COMP_0(ALT1) UART7_CTS(ALT3) I2C1_SCL(ALT4) CAN1_TXD(ALT7) FEMC_DQ_07(ALT12) TRGM1_P_05(ALT16) ETH0_TXD_3(ALT18) ETH0_MDC(ALT19)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
141	76	B1	PA26	GPIO_A_26(ALT0) GPTMR1_COMP_1(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) I2C1_SDA(ALT4) CAN1_RXD(ALT7) FEMC_DQ_06(ALT12) TRGM1_P_06(ALT16) ETH0_CRS(ALT18) ETH0_MDIO(ALT19)	-	VIO_01	1
139	-	A2	PA27	GPIO_A_27(ALT0) UART0_CTS(ALT3) FEMC_DQ_05(ALT12) TRGM1_P_07(ALT16) ETH0_COL(ALT18)	-	VIO_01	1
138	-	B3	PA28	GPIO_A_28(ALT0) UART1_DE(ALT2) UART1_RTS(ALT3) SPI0_CSN(ALT5) FEMC_DQ_04(ALT12) TRGM1_P_08(ALT16)	-	VIO_01	1
137	-	B4	PA29	GPIO_A_29(ALT0) UART1_CTS(ALT3) SPI0_MISO(ALT5) CAN0_TXD(ALT7) FEMC_DQ_03(ALT12) TRGM1_P_09(ALT16)	-	VIO_01	1
136	-	A4	PA30	GPIO_A_30(ALT0) UART0_TXD(ALT2) SPI0_SCLK(ALT5) CAN0_RXD(ALT7) FEMC_DQ_02(ALT12) TRGM1_P_10(ALT16)	-	VIO_01	1
135	-	C4	PA31	GPIO_A_31(ALT0) UART0_RXD(ALT2) SPI0_MOSI(ALT5) FEMC_DQ_01(ALT12) TRGM1_P_11(ALT16)	-	VIO_01	1



封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
134	72	C5	PB00	GPIO_B_00(ALT0) UART1_TXD(ALT2) SPI0_DAT2(ALT5) FEMC_DQ_00(ALT12) PWM1_P_0(ALT16)	-	VIO_01	1
132	71	C6	PB01	GPIO_B_01(ALT0) UART1_RXD(ALT2) SPI0_DAT3(ALT5) FEMC_DM_0(ALT12) PWM1_P_1(ALT16)	-	VIO_01	1
131	-	-	PB02	GPIO_B_02(ALT0) UART2_TXD(ALT2) SPI1_CSN(ALT5) FEMC_DQ_08(ALT12) PWM1_P_2(ALT16)	-	VIO_01	1
130	-	-	PB03	GPIO_B_03(ALT0) UART2_RXD(ALT2) SPI1_MISO(ALT5) FEMC_DQ_09(ALT12) XPI1_CB_CS0(ALT14) PWM1_P_3(ALT16)	-	VIO_01	1
129	-	-	PB04	GPIO_B_04(ALT0) UART3_TXD(ALT2) SPI1_SCLK(ALT5) FEMC_DQ_10(ALT12) XPI1_CB_CS1(ALT14) PWM1_P_4(ALT16)	-	VIO_01	1
128	-	-	PB05	GPIO_B_05(ALT0) UART3_RXD(ALT2) SPI1_MOSI(ALT5) FEMC_DQ_11(ALT12) XPI1_CB_DQS(ALT14) PWM1_P_5(ALT16)	-	VIO_01	1
127	-	-	PB06	GPIO_B_06(ALT0) UART4_TXD(ALT2) FEMC_DQ_12(ALT12) XPI1_CB_D_3(ALT14) PWM1_P_6(ALT16)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
125	-	-	PB07	GPIO_B_07(ALT0) UART4_RXD(ALT2) SPI1_DAT2(ALT5) FEMC_DQ_13(ALT12) XPI1_CB_D_1(ALT14) PWM1_P_7(ALT16)	-	VIO_01	1
124	-	-	PB08	GPIO_B_08(ALT0) UART5_TXD(ALT2) SPI1_DAT3(ALT5) FEMC_DQ_14(ALT12) XPI1_CB_SCLK(ALT14) PWM1_FAULT_0(ALT16)	-	VIO_01	1
123	-	-	PB09	GPIO_B_09(ALT0) UART5_RXD(ALT2) SPI1_SCLK(ALT5) FEMC_DQ_15(ALT12) XPI1_CB_D_2(ALT14) PWM1_FAULT_1(ALT16)	-	VIO_01	1
122	-	-	PB10	GPIO_B_10(ALT0) UART6_TXD(ALT2) SPI1_MISO(ALT5) FEMC_DM_1(ALT12) XPI1_CB_D_0(ALT14) PWM0_FAULT_1(ALT16)	-	VIO_01	1
121	68	A6	PB11	GPIO_B_11(ALT0) UART6_RXD(ALT2) SPI1_MOSI(ALT5) FEMC_WE(ALT12) XPI1_CA_DQS(ALT14) PWM0_FAULT_0(ALT16)	-	VIO_01	1
119	67	B6	PB12	GPIO_B_12(ALT0) UART7_TXD(ALT2) SPI1_CSN(ALT5) FEMC_CAS(ALT12) XPI1_CA_D_0(ALT14) PWM0_P_0(ALT16)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
118	66	B7	PB13	GPIO_B_13(ALT0) UART7_RXD(ALT2) SPI2_CSN(ALT5) FEMC_RAS(ALT12) XPI1_CA_D_2(ALT14) PWM0_P_1(ALT16)	-	VIO_01	1
117	65	B8	PB14	GPIO_B_14(ALT0) UART6_DE(ALT2) UART6_RTS(ALT3) SPI2_MISO(ALT5) CAN1_TXD(ALT7) FEMC_CS_0(ALT12) XPI1_CA_SCLK(ALT14) PWM0_P_2(ALT16)	-	VIO_01	1
116	64	A8	PB15	GPIO_B_15(ALT0) UART6_CTS(ALT3) SPI2_SCLK(ALT5) CAN1_RXD(ALT7) FEMC_BA0(ALT12) XPI1_CA_D_1(ALT14) PWM0_P_3(ALT16)	-	VIO_01	1
115	63	C8	PB16	GPIO_B_16(ALT0) UART7_DE(ALT2) UART7_RTS(ALT3) SPI2_MOSI(ALT5) FEMC_BA1(ALT12) XPI1_CA_D_3(ALT14) PWM0_P_4(ALT16)	-	VIO_01	1
114	62	C9	PB17	GPIO_B_17(ALT0) UART7_CTS(ALT3) FEMC_A_10(ALT12) XPI1_CA_CS0(ALT14) PWM0_P_5(ALT16)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
112	61	C10	PB18	GPIO_B_18(ALT0) GPTMR2_CAPT_0(ALT1) UART0_DE(ALT2) UART0_RTS(ALT3) I2C2_SCL(ALT4) CAN1_STBY(ALT7) I2S0_TXD_3(ALT8) FEMC_A_00(ALT12) PWM0_P_6(ALT16)	-	VIO_01	1
111	59	A10	PB19	GPIO_B_19(ALT0) GPTMR2_CAPT_1(ALT1) UART0_CTS(ALT3) I2C2_SDA(ALT4) CAN0_STBY(ALT7) I2S0_TXD_2(ALT8) FEMC_A_01(ALT12) PWM0_P_7(ALT16)	-	VIO_01	1
110	60	B10	PB20	GPIO_B_20(ALT0) GPTMR2_COMP_0(ALT1) UART1_DE(ALT2) UART1_RTS(ALT3) I2C3_SCL(ALT4) CAN0_TXD(ALT7) I2S0_TXD_1(ALT8) FEMC_A_02(ALT12) TRGM0_P_00(ALT16)	-	VIO_01	1
109	58	B11	PB21	GPIO_B_21(ALT0) GPTMR2_COMP_1(ALT1) UART1_CTS(ALT3) I2C3_SDA(ALT4) CAN0_RXD(ALT7) I2S0_TXD_0(ALT8) FEMC_A_03(ALT12) TRGM0_P_01(ALT16)	-	VIO_01	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
108	56	B12	PB22	GPIO_B_22(ALT0) GPTMR3_CAPT_0(ALT1) UART0_TXD(ALT2) I2C0_SCL(ALT4) CAN1_TXD(ALT7) I2S0_BCLK(ALT8) FEMC_CLK(ALT12) TRGM0_P_02(ALT16) SOC_REF0(ALT24)	-	VIO_01	1
107	57	A12	PB23	GPIO_B_23(ALT0) GPTMR3_CAPT_1(ALT1) UART0_RXD(ALT2) I2C0_SDA(ALT4) CAN1_RXD(ALT7) I2S0_FCLK(ALT8) FEMC_CKE(ALT12) TRGM0_P_03(ALT16) SOC_REF1(ALT24)	-	VIO_01	1
106	54	B13	PB24	GPIO_B_24(ALT0) GPTMR3_COMP_0(ALT1) UART1_TXD(ALT2) I2C1_SCL(ALT4) I2S0_MCLK(ALT8) FEMC_A_12(ALT12) TRGM0_P_04(ALT16)	-	VIO_01	1
105	55	C12	PB25	GPIO_B_25(ALT0) GPTMR3_COMP_1(ALT1) UART1_RXD(ALT2) I2C1_SDA(ALT4) I2S0_RXD_0(ALT8) FEMC_A_11(ALT12) TRGM0_P_05(ALT16)	-	VIO_01	1
103	-	D12	PB26	GPIO_B_26(ALT0) UART2_TXD(ALT2) I2S0_RXD_1(ALT8) FEMC_A_09(ALT12) TRGM0_P_06(ALT16)	-	VIO_01	1

# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

引脚及功能描述

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
102	-	D13	PB27	GPIO_B_27(ALT0) UART2_RXD(ALT2) SPI1_CSN(ALT5) I2S0_RXD_2(ALT8) FEMC_A_08(ALT12) TRGM0_P_07(ALT16)	-	VIO_01	1
101	-	D11	PB28	GPIO_B_28(ALT0) UART3_TXD(ALT2) SPI1_MISO(ALT5) I2S0_RXD_3(ALT8) FEMC_A_07(ALT12) TRGM0_P_08(ALT16)	-	VIO_01	1
100	-	F12	PB29	GPIO_B_29(ALT0) UART3_RXD(ALT2) SPI1_SCLK(ALT5) I2S0_TXD_3(ALT8) FEMC_A_06(ALT12) TRGM0_P_09(ALT16)	-	VIO_01	1
99	-	G12	PB30	GPIO_B_30(ALT0) UART2_DE(ALT2) UART2_RTS(ALT3) SPI1_MOSI(ALT5) I2S0_TXD_2(ALT8) FEMC_A_05(ALT12) TRGM0_P_10(ALT16)	-	VIO_01	1
98	-	F13	PB31	GPIO_B_31(ALT0) UART2_CTS(ALT3) SPI2_CSN(ALT5) I2S0_TXD_1(ALT8) FEMC_A_04(ALT12) TRGM0_P_11(ALT16)	-	VIO_01	1
97	-	-	PC00	GPIO_C_00(ALT0) UART3_DE(ALT2) UART3_RTS(ALT3) SPI2_MISO(ALT5) I2S0_TXD_0(ALT8) FEMC_SRDY(ALT12) PWM0_P_0(ALT16) USB0_ID(ALT24)	-	VIO_01	1

# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

引脚及功能描述

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
96	-	-	PC01	GPIO_C_01(ALT0) UART3_CTS(ALT3) SPI2_SCLK(ALT5) I2S0_BCLK(ALT8) FEMC_DQS(ALT12) PWM0_P_1(ALT16) USB0_PWR(ALT24)	-	VIO_01	1
95	-	-	PC02	GPIO_C_02(ALT0) UART4_DE(ALT2) UART4_RTS(ALT3) SPI2_MOSI(ALT5) I2S0_FCLK(ALT8) PWM0_P_2(ALT16) USB0_OC(ALT24)	-	VIO_01	1
83	-	-	PC03	GPIO_C_03(ALT0) UART4_CTS(ALT3) SPI2_DAT2(ALT5) I2S0_MCLK(ALT8) I2S1_TXD_3(ALT9) PDM0_CLK(ALT10) PWM0_P_3(ALT16)	DAC0_OUT	VIO_02	1
82	-	-	PC04	GPIO_C_04(ALT0) UART5_DE(ALT2) UART5_RTS(ALT3) SPI2_DAT3(ALT5) I2S0_RXD_0(ALT8) I2S1_TXD_2(ALT9) PDM0_D_2(ALT10) PWM0_P_4(ALT16)	ADC0_INA0	VIO_02	1
81	-	-	PC05	GPIO_C_05(ALT0) UART5_CTS(ALT3) SPI2_SCLK(ALT5) I2S0_RXD_1(ALT8) I2S1_TXD_1(ALT9) PDM0_D_3(ALT10) PWM0_P_5(ALT16) USB0_OC(ALT24)	ADC0_INA1	VIO_02	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
80	44	J11	PC06	GPIO_C_06(ALT0) GPTMR2_CAPT_0(ALT1) UART4_TXD(ALT2) SPI2_MISO(ALT5) I2S0_RXD_2(ALT8) I2S1_TXD_0(ALT9) PDM0_CLK(ALT10) USB0_ID(ALT24)	ADC0_INA2	VIO_02	1
79	43	K11	PC07	GPIO_C_07(ALT0) GPTMR2_CAPT_1(ALT1) UART4_RXD(ALT2) SPI2_MOSI(ALT5) I2S0_RXD_3(ALT8) I2S1_MCLK(ALT9) PDM0_D_0(ALT10) ETH0_MDIO(ALT19) USB0_OC(ALT24)	ADC0_INA3	VIO_02	1
78	42	K13	PC08	GPIO_C_08(ALT0) GPTMR2_COMP_0(ALT1) UART5_TXD(ALT2) SPI2_CSN(ALT5) I2S1_FCLK(ALT9) PDM0_D_1(ALT10) ETH0_MDC(ALT19) USB0_PWR(ALT24)	ADC0_INA4 ADC1_INA0	VIO_02	1
76	41	K12	PC09	GPIO_C_09(ALT0) GPTMR2_COMP_1(ALT1) UART5_RXD(ALT2) I2C2_SCL(ALT4) CAN0_TXD(ALT7) I2S1_BCLK(ALT9) DAOR_N(ALT10)	ADC0_INA5 ADC1_INA1	VIO_02	1
75	39	L12	PC10	GPIO_C_10(ALT0) GPTMR3_CAPT_0(ALT1) UART6_TXD(ALT2) I2C2_SDA(ALT4) CAN0_RXD(ALT7) I2S1_RXD_0(ALT9) DAOR_P(ALT10)	ADC0_INA6 ADC1_INA2	VIO_02	1



封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
74	40	M12	PC11	GPIO_C_11(ALT0) GPTMR3_CAPT_1(ALT1) UART6_RXD(ALT2) I2C3_SCL(ALT4) CAN0_STBY(ALT7) I2S1_RXD_1(ALT9) DAOL_N(ALT10)	ADC0_INA7 ADC1_INA3 CMP1_INP7	VIO_02	1
73	38	M13	PC12	GPIO_C_12(ALT0) GPTMR3_COMP_0(ALT1) UART7_TXD(ALT2) I2C3_SDA(ALT4) CAN1_STBY(ALT7) I2S1_RXD_2(ALT9) DAOL_P(ALT10)	ADC0_INA8 ADC1_INA4 ADC2_INA0 CMP1_INP6	VIO_02	1
72	36	N12	PC13	GPIO_C_13(ALT0) GPTMR3_COMP_1(ALT1) UART7_RXD(ALT2) I2C0_SCL(ALT4) CAN1_TXD(ALT7) I2S1_RXD_3(ALT9)	ADC0_INA9 ADC1_INA5 ADC2_INA1 CMP1_INP5	VIO_02	1
71	37	M11	PC14	GPIO_C_14(ALT0) UART6_DE(ALT2) UART6_RTS(ALT3) I2C0_SDA(ALT4) CAN1_RXD(ALT7) I2S1_MCLK(ALT9) ACMP_COMP_0(ALT16)	ADC0_INA10 ADC1_INA6 ADC2_INA2 CMP0_INN7 CMP1_INN7	VIO_02	1
70	35	M10	PC15	GPIO_C_15(ALT0) UART6_CTS(ALT3) I2C1_SCL(ALT4) ACMP_COMP_1(ALT16)	ADC0_INA11 ADC1_INA7 ADC2_INA3 CMP0_INN6 CMP1_INN6	VIO_02	1
69	-	N10	PC16	GPIO_C_16(ALT0) UART7_DE(ALT2) UART7_RTS(ALT3) I2C1_SDA(ALT4) I2S1_TXD_3(ALT9)	ADC0_INA12 ADC1_INA8 ADC2_INA4 CMP0_INN5 CMP1_INN5	VIO_02	1

# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

引脚及功能描述

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
67	-	L10	PC17	GPIO_C_17(ALT0) UART7_CTS(ALT3) I2S1_TXD_2(ALT9) PDM0_D_1(ALT10)	ADC0_INA13 ADC1_INA9 ADC2_INA5 CMP0_INN4	VIO_02	
66	-	L9	PC18	GPIO_C_18(ALT0) UART0_DE(ALT2) UART0_RTS(ALT3) SPI3_CSN(ALT5) I2S1_TXD_1(ALT9) PDM0_D_0(ALT10) ETH0_EVTO_3(ALT19)	ADC0_INA14 ADC1_INA10 ADC2_INA6 CMP0_INN3	VIO_02	1
65	-	L8	PC19	GPIO_C_19(ALT0) UART0_CTS(ALT3) SPI3_MISO(ALT5) I2S1_TXD_0(ALT9) PDM0_CLK(ALT10) ETH0_EVTO_2(ALT19)	ADC0_INA15 ADC1_INA11 ADC2_INA7 CMP0_INN2	VIO_02	1
64	-	N8	PC20	GPIO_C_20(ALT0) UART1_DE(ALT2) UART1_RTS(ALT3) SPI3_SCLK(ALT5) I2S1_MCLK(ALT9) PDM0_D_3(ALT10) ETH0_EVTO_1(ALT19) WDG0_RST(ALT24)	ADC1_INA12 ADC2_INA8 CMP0_INP7 CMP1_INN4	VIO_02	1
63	-	M8	PC21	GPIO_C_21(ALT0) UART1_CTS(ALT3) SPI3_MOSI(ALT5) I2S1_FCLK(ALT9) PDM0_D_2(ALT10) ETH0_EVTO_0(ALT19) WDG1_RST(ALT24)	ADC1_INA13 ADC2_INA9 CMP0_INP6 CMP1_INN3	VIO_02	1
62	-	-	PC22	GPIO_C_22(ALT0) UART0_TXD(ALT2) SPI2_CSN(ALT5) I2S1_BCLK(ALT9) PDM0_CLK(ALT10) SDC0_WP(ALT17) ETH0_MDIO(ALT19)	ADC1_INA14 ADC2_INA10 CMP0_INP5 CMP1_INN2	VIO_02	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
60	-	-	PC23	GPIO_C_23(ALT0) UART0_RXD(ALT2) SPI2_MOSI(ALT5) I2S1_MCLK(ALT9) SDC0_VSEL(ALT17) ETH0_MDC(ALT19)	ADC1_INA15 ADC2_INA11 CMP0_INP4 CMP1_INP4	VIO_02	1
59	-	-	PC24	GPIO_C_24(ALT0) UART1_TXD(ALT2) SPI2_MISO(ALT5) I2S1_RXD_0(ALT9) SDC0_CDN(ALT17) ETH0_EVTI_3(ALT19)	ADC2_INA12 CMP0_INP3 CMP1_INP3	VIO_02	1
58	-	-	PC25	GPIO_C_25(ALT0) UART1_RXD(ALT2) SPI2_SCLK(ALT5) I2S1_RXD_1(ALT9) SDC0_WP(ALT17) ETH0_EVTI_2(ALT19)	ADC2_INA13 CMP0_INP2 CMP1_INP2	VIO_02	1
57	-	-	PC26	GPIO_C_26(ALT0) UART2_TXD(ALT2) SPI2_DAT3(ALT5) I2S1_RXD_2(ALT9) SDC0_VSEL(ALT17) ETH0_EVTI_1(ALT19)	ADC2_INA14 CMP0_INN1 CMP1_INN1	VIO_02	1
56	-	-	PC27	GPIO_C_27(ALT0) UART2_RXD(ALT2) SPI2_DAT2(ALT5) I2S1_RXD_3(ALT9) SDC0_CDN(ALT17) ETH0_EVTI_0(ALT19)	ADC2_INA15 CMP0_INP1 CMP1_INP1	VIO_02	1
42	32	N4	PY00	GPIO_Y_00(ALT0) UART7_DE(ALT2) UART7_RTS(ALT3) SPI3_CSN(ALT5) CAN0_TXD(ALT7)	-	VPMC	1
40	28	M4	PY01	GPIO_Y_01(ALT0) UART7_CTS(ALT3) SPI3_MISO(ALT5) CAN0_RXD(ALT7)	-	VPMC	1

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
38	26	M3	PY02	GPIO_Y_02(ALT0) UART0_DE(ALT2) UART0_RTS(ALT3) SPI3_SCLK(ALT5)	-	VPMC	
37	25	M2	PY03	GPIO_Y_03(ALT0) UART0_CTS(ALT3) SPI3_MOSI(ALT5)	-	VPMC	1
36	24	N2	PY04	GPIO_Y_04(ALT0) UART7_TXD(ALT2) I2C0_SCL(ALT4) CAN1_TXD(ALT7) DAOR_P(ALT10) WDG0_RST(ALT24)	-	VPMC	1
35	22	M1	PY05	GPIO_Y_05(ALT0) UART7_RXD(ALT2) I2C0_SDA(ALT4) CAN1_RXD(ALT7) DAOR_N(ALT10) WDG1_RST(ALT24)	-	VPMC	1
34	23	L2	PY06	GPIO_Y_06(ALT0) UART0_TXD(ALT2) I2C1_SCL(ALT4) DAOL_P(ALT10)	-	VPMC	1
33	21	K2	PY07	GPIO_Y_07(ALT0) UART0_RXD(ALT2) I2C1_SDA(ALT4) DAOL_N(ALT10)	-	VPMC	1
54	-	M7	PZ00	GPIO_Z_00(ALT0) UART3_TXD(ALT2) CAN0_TXD(ALT7)	-	VBAT	
53	-	L6	PZ01	GPIO_Z_01(ALT0) UART3_RXD(ALT2) CAN0_RXD(ALT7)	-	VBAT	
52	-	L5	PZ02	GPIO_Z_02(ALT0) UART4_TXD(ALT2) I2C2_SCL(ALT4)	-	VBAT	
51	-	L4	PZ03	GPIO_Z_03(ALT0) UART4_RXD(ALT2) I2C2_SDA(ALT4)	-	VBAT	

# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

引脚及功能描述

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
50	-	-	PZ04	GPIO_Z_04(ALT0) UART5_TXD(ALT2) CAN1_TXD(ALT7)	-	VBAT	
49	-	-	PZ05	GPIO_Z_05(ALT0) UART5_RXD(ALT2) CAN1_RXD(ALT7)	-	VBAT	
48	-	-	PZ06	GPIO_Z_06(ALT0) UART6_TXD(ALT2) I2C3_SCL(ALT4)	-	VBAT	
47	-	-	PZ07	GPIO_Z_07(ALT0) UART6_RXD(ALT2) I2C3_SDA(ALT4)	-	VBAT	
88	49	H11	XTALI		-		
89	50	H12	XTALO		-		
-	4,8,16,30, 33,48,52, 69,73	A1,N1,E5, E6,G6,F 7,E8,G8, E9,A13,N 13	VSS	-	-	-	

# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

引脚及功能描述

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
-	-	C1,E1,G 1,J1,L1,E 2,J2,A3, N3,E4,F4 ,H4,J4,A 5,B5,D5, G5,K5,M 5,N5,D6, F6,H6,K6 ,A7,E7,G 7,J7,N7, D8,F8,H8 ,K8,A9,B 9,D9,G9, K9,M9,N 9,E10,F1 0,H10,J1 0,A11,N1 1,E12,J1 2,C13,E1 3,G13,J1 3,L13		-	-	-	
12,94,12 0,133	70	C3,D4,D 10,C11	VIO_01	-	-	-	
29	-	G3	DCDC_SNS	-	-	-	
32	20	L3,K4	DCDC_IN	-	-	-	
5,18,28,5 5,68,77,9 0,104,11 3,126,14 0	3,34,53	G4,C7,D 7,G10,G 11	VDD_SOC	-	-	-	
23	-	F5	VIO_00	-	-	-	
30	18	H5	DCDC_GND	-	-	-	
31	19	J5	DCDC_LP	-	-	-	
43	-	J6	VPMC	-	-	-	
44	-	M6	RTC_XTALI	-	-	-	
45	-	N6	RTC_XTALO	-	-	-	
39	27	H7	VDD_OTPCAP	-	-	-	
41	29	K7,L7	VDD_PMCCAP	-	-	-	

封装			PIN 名称	数字功能	模拟功能	IO 电源	IO
LQFP_144	LQFP_80	BGA_116					
46	-	J8	VBAT	-	-	-	
87	-	F9	VANA	-	-	-	
85	46	H9	VREFH	-	-	-	
84	45	J9	VREFL	-	-	-	
61,86	-	K10,L11	VIO_02	-	-	-	
93	-	E11	USB_DM	-	-	-	
92	-	F11	USB_DP	-	-	-	
91	-	H13	USBVBUS	-	-	-	

表 2: SOC IOMUX

封装			PIN 名称	数字功能	IO 电源	IO 电压/V
LQFP_144	LQFP_80	BGA_116				
42	32	N4	PY00	PGPIO_Y_00(ALT0) JTAG_TDO(ALT1) PTMR_COMP_0(ALT2) SOC_PY_00(ALT3)	VPMC	1.8/3.3
40	28	M4	PY01	PGPIO_Y_01(ALT0) JTAG_TDI(ALT1) PTMR_CAPT_0(ALT2) SOC_PY_01(ALT3)	VPMC	1.8/3.3
38	26	M3	PY02	PGPIO_Y_02(ALT0) JTAG_TCK(ALT1) PTMR_COMP_1(ALT2) SOC_PY_02(ALT3)	VPMC	1.8/3.3
37	25	M2	PY03	PGPIO_Y_03(ALT0) JTAG_TMS(ALT1) PTMR_CAPT_1(ALT2) SOC_PY_03(ALT3)	VPMC	1.8/3.3
36	24	N2	PY04	PGPIO_Y_04(ALT0) JTAG_TRST(ALT1) PTMR_COMP_2(ALT2) SOC_PY_04(ALT3)	VPMC	1.8/3.3
35	22	M1	PY05	PGPIO_Y_05(ALT0) PWDG_RST(ALT1) PTMR_CAPT_2(ALT2) SOC_PY_05(ALT3)	VPMC	1.8/3.3

封装			PIN 名称	数字功能	IO 电源	IO 电压/V
LQFP_144	LQFP_80	BGA_116				
34	23	L2	PY06	PGPIO_Y_06(ALT0) PUART_TXD(ALT1) PTMR_COMP_3(ALT2) SOC_PY_06(ALT3)	VPMC	1.8/3.3
33	21	K2	PY07	PGPIO_Y_07(ALT0) PUART_RXD(ALT1) PTMR_CAPT_3(ALT2) SOC_PY_07(ALT3)	VPMC	1.8/3.3

表 3: PMIC IOMUX

封装			PIN 名称	数字功能	IO 电源	IO 电压/V
LQFP_144	LQFP_80	BGA_116				
54	-	M7	PZ00	BGPIO_Z_00(ALT0) PWR_ON(ALT1) TAMP_00(ALT2) SOC_PZ_00(ALT3)	VBAT	3.3
53	-	L6	PZ01	BGPIO_Z_01(ALT0) RESETN(ALT1) TAMP_01(ALT2) SOC_PZ_01(ALT3)	VBAT	3.3
52	-	L5	PZ02	BGPIO_Z_02(ALT0) PBUTN(ALT1) TAMP_02(ALT2) SOC_PZ_02(ALT3)	VBAT	3.3
51	-	L4	PZ03	BGPIO_Z_03(ALT0) WBUTN(ALT1) TAMP_03(ALT2) SOC_PZ_03(ALT3)	VBAT	3.3
50	-	-	PZ04	BGPIO_Z_04(ALT0) PLED(ALT1) TAMP_04(ALT2) SOC_PZ_04(ALT3)	VBAT	3.3
49	-	-	PZ05	BGPIO_Z_05(ALT0) WLED(ALT1) TAMP_05(ALT2) SOC_PZ_05(ALT3)	VBAT	3.3



封装			PIN 名称	数字功能	IO 电源	IO 电压/V
LQFP_144	LQFP_80	BGA_116				
48	-	-	PZ06	BGPIO_Z_06(ALT0) TAMP_06(ALT2) SOC_PZ_06(ALT3)	VBAT	3.3
47	-	-	PZ07	BGPIO_Z_07(ALT0) TAMP_07(ALT2) SOC_PZ_07(ALT3)	VBAT	3.3

表 4: BATT IOMUX

## 2.4 特殊功能引脚

芯片默认是通过 BOOT\_MODE[1:0]=[PA21:PA20] 引脚选择三种不同的启动模式，启动配置如表 5。其他特殊引脚配置如表 6。

启动模式选择引脚		启动模式	说明
BOOT_MODE1	BOOT_MODE0		
0	0	XPI NOR 启动	从连接在 XPI0/1 上的串行 NOR FLASH 启动
0	1	串行启动 UART0/USB-HID	从 UART0/USB0 上启动
1	0	在系统编程 (ISP)	从 UART0/USB0 上烧写固件, OTP
1	1	保留模式	保留模式

表 5: 启动配置表

引脚名称	描述	建议用法
XTAL_IN	24MHz 时钟输入	接 24MHz 晶体或有源时钟
XTAL_OUT	24MHz 时钟输出	接 24MHz 晶体或悬空
RTC_XTAL_IN	32.768kHz 时钟输入	接 32.768kHz 晶体或有源时钟
RTC_XTAL_OUT	32.768kHz 时钟输出	接 32.768kHz 晶体或悬空

表 6: 特殊功能引脚配置

## 2.5 IO 复位状态

表 7总结了本产品所有 IO 在系统复位后的状态：

名称	复位后状态
PY00	输入内部上拉
PY01	输入内部上拉
PY02	输入内部下拉
PY03	输入内部上拉
PY04	输入内部上拉
PY05	输出高电平
PY06	输入内部下拉
PY07	输入内部下拉
PZ00	输出高电平
PZ01	输入内部上拉
PZ02	输入内部上拉
PZ03	输入内部上拉

名称	复位后状态
PZ04	开漏高阻
PZ05	开漏高阻
PZ06	输入内部下拉
PZ07	输入内部下拉
其余 IO	输入高阻

表 7: IO 复位状态表

## 3 电源

该系列芯片供电是通过对 DCDC\_IN 和 VPMC 脚输入 3.0-3.6V 单一电源, 并通过内置的电压调节器提供系统所需的 VDD\_SOC, VDD\_PMCCAP, VDD\_OTPCAP, VDD\_BATCAP 电源。当电源 DCDC\_IN 和 VPMC 掉电后, 通过 VBAT 脚为实时时钟 (RTC) 和备份寄存器提供电源。每个 I/O 电源 VIO\_Bxx 根据相应负载接 3.3V 或 1.8V 电源。

### 3.1 电源框图

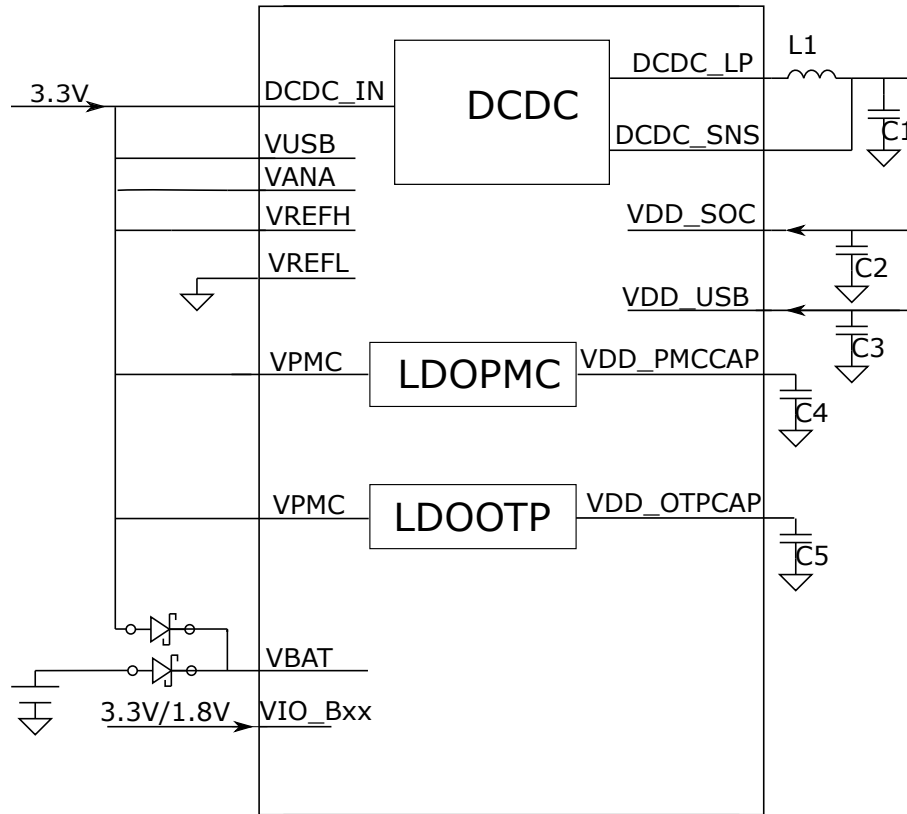


图 4: 系统供电框图

其中电感电容建议值如表 8

位号	参考值
L1	4.7uH
C1+C2	33~66uF
C3	1uF
C4	4.7uF
C5	4.7uF

表 8: 电源部分电感, 电容参考值

### 3.2 上下电时序

上下电时序如图 5。

上电要求 VBAT 不能迟于其他电源上电即可，下电要求 VBAT 不早于其他电源下电即可。

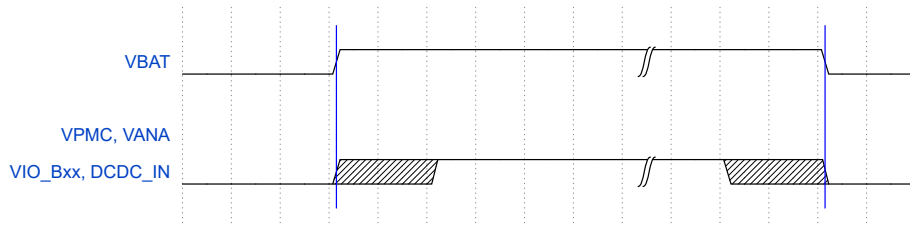


图 5: 上电时序要求

## 4 电气特性

### 4.1 工作条件

若无另行说明，所有电压都以 VSS 为基准。

#### 4.1.1 最大值和最小值

表 9 给出了此芯片支持工作环境的最大值和最小值；超过表 9 所列的值，可能会对芯片造成永久伤害。

符号	描述	最小值	最大值	单位
DCDC_IN	DCDC 输入电压	-0.3	3.6	V
VPMC	VPMC 输入电压	-0.3	3.6	V
VBAT	VBAT 输入电压	-0.3	3.6	V
VDD_SOC	VDD_SOC 输入电压	-0.3	1.3	V
VDD_USB	USB CORE 输入电压	-0.3	1.3	V
VANA	VANA 输入电压	-0.3	3.6	V
VREFH	ADC 参考电压	2.4	3.6	V
USB0_VBUS	USB0 输入检测电压	-	5.5	V
VUSB	USB 输入电压	-0.3	3.6	V
VIO_Bxx(3.3V 模式)	IO 对应电源 3.3V 供电	-0.3	3.6	V
VIO_Bxx(1.8V 模式)	IO 对应电源 1.8V 供电	-0.3	1.98	V
ESD HBM	HBM 模型的抗 ESD 电压	-	2000	V
ESD CDM	CDM 模型的抗 ESD 电压	-	500	V
T <sub>STG</sub>	存储温度	-40	150	°C

表 9: 最大值和最小值

## 4.1.2 正常工作条件

表 10 列出了芯片的正常工作条件，若超出此表所列的工作条件，将不保证芯片的正常功能和性能。

符号	描述	工作条件	最小值	典型值	最大值	单位
VDD_SOC	VDD_SOC 输入电压	处理器主频 ≤648 MHz	1.15	1.20	1.25	V
		处理器主频 ≤480 MHz	1.05	1.10	1.15	V
		停止模式	1.05	-	1.25	V
DCDC_IN	DCDC 输入电压	-	3.0	3.3	3.6	V
VPMC	VPMC 输入电压	-	3.0	3.3	3.6	V
VBAT	VBAT 输入电压	-	2.4	3.0	3.6	V
VANA	VANA 输入电压	-	3.0	3.3	3.6	V
VBUS0	VBUS0 输入电压	-	-	5.0	5.5	V
VUSB	VUSB 输入电压	-	3.0	3.3	3.6	V
VIO_Bxx (3.3V 模式)	对应 IO 电源 3.3V	-	3.0	3.3	3.6	V
VIO_Bxx (1.8V 模式)	对应 IO 电源 1.8V	-	1.62	1.8	1.98	V
T <sub>A</sub>	工作环境温度	-	-40	-	105	°C
T <sub>J</sub>	工作芯片结温	-	-40	-	125	°C

表 10: 正常工作条件

## 4.2 内置闪存特性

本产品部分型号内置 4MB 闪存，具体信息请查阅??。

内置的 4MB 闪存，分为 64 个块 (block)，每个块包含 16 个扇区 (sector)，每个扇区包含 16 个页 (page)，每个页包含 256 字节 (Byte)。内置闪存的特性如表 11。

符号	描述	最小值	典型值	最大值	单位
ICC Standby	闪存待机电流	-	12	-	uA
ICC Read	闪存读取电流	-	12	-	mA
ICC PP	闪存页编程电流	-	15	-	mA
ICC SE	闪存扇区擦除电流	-	15	-	mA
ICC BE	闪存块擦除电流	-	15	-	mA
ICC CE	闪存全擦除电流	-	15	-	mA
t BP1	闪存首字节编程时间	-	40	-	us
t BP2	闪存后续字节编程时间	-	2.5	-	us

符号	描述	最小值	典型值	最大值	单位
t PP	闪存页编程时间	-	0.5	-	ms
t SE	闪存扇区时间	-	45	-	ms
t BE	闪存块擦除时间	-	0.25	-	s
t CE	闪存全擦除时间	-	12	-	s
ENdurance	编程/擦除周期数	100k		-	Cycles
Data Retention	数据保存时间	-	20	-	Years

表 11: 内置闪存特性

## 4.3 VPMC 欠压检测

VPMC 欠压检测 BOR 的特性如表 12。

参数	符号	最小值	典型值	最大值	单位	备注
欠压警告生效电压	VBOR Warning Assert	-	2.8	-	V	-
欠压警告释放电压	VBOR Warning Release	-	2.8	-	V	-
欠压复位生效电压	VBOR Reset Assert	-	2.7	-	V	-
欠压复位释放电压	VBOR Reset Release	-	2.7	-	V	-

表 12: VPMC 欠压检测特性

## 4.4 振荡器

32.768KHz 时钟特性如表 13；24MHz 时钟特性如表 14；32KHz RC 振荡器特性如表 15；24MHz RC 振荡器特性如表 16；PLL 特性如表 17

### 4.4.1 32.768KHz 振荡器特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	32.768	-	KHz	-
等效串联电阻	ESR	-	-	90	kΩ	-
负载电容	CL	-	9	12.5	pF	-

参数	符号	最小值	典型值	最大值	单位	备注
----	----	-----	-----	-----	----	----

表 13: 32.768KHz 晶振

## 4.4.2 24MHz 振荡器特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	24	-	MHz	-
等效串联电阻	ESR	-	40~80	-	Ω	-
负载电容	CL	-	6	-	pF	-

表 14: 24MHz 晶振

## 4.4.3 32KHz RC 振荡器时钟特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	32	-	KHz	-
频率准确度 (未校准)		-10	-	10	%	-

表 15: 32KHz RC 振荡器

## 4.4.4 24MHz RC 振荡器时钟特性

参数	符号	最小值	典型值	最大值	单位	备注
频率	FREQ	-	24	-	MHz	-
频率准确度 (未校准)		-15	-	15	%	-

表 16: 24MHz RC 振荡器

## 4.4.5 PLL 特性

参数	符号	最小值	典型值	最大值	单位	备注
参考频率	fREF	-	24	-	MHz	-
VCO 频率	fVCO	400	-	1000	MHz	-
锁定时间	tLOCK	-	-	2400	cycle	参考时钟周期



参数	符号	最小值	典型值	最大值	单位	备注
----	----	-----	-----	-----	----	----

表 17: PLL 特性参数

## 4.5 外设时钟特性

表 18 列举了本产品各个外设时钟的特性。

符号	条件	最小	典型	最大	单位
clk_top_axi	1.05V ≤ VDD_SOC ≤ 1.25V clk_top_axi 由 clk_top_cpu0 分频得到	-	-	166	MHz
clk_top_ahb	1.05V ≤ VDD_SOC ≤ 1.25V clk_top_ahb 由 clk_top_cpu0 分频得到	-	-	166	MHz
clk_top_mct0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_dram	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	166	MHz
clk_top_xpi0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	333	MHz
clk_top_xpi1	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	333	MHz
clk_top_tmr0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_tmr1	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_tmr2	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_tmr3	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt1	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt2	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt3	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt4	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt5	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt6	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_urt7	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz
clk_top_i2c0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_i2c1	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_i2c2	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_i2c3	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_spi0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_spi1	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_spi2	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_spi3	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_can0	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_can1	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	80	MHz
clk_top_ptpc	1.05V ≤ VDD_SOC ≤ 1.25V	-	-	100	MHz

符号	条件	最小	典型	最大	单位
clk_top_ana0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	166	MHz
clk_top_ana1	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	166	MHz
clk_top_ana2	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	166	MHz
clk_top_ana3	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	166	MHz
clk_top_aud0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	51.6096	MHz
clk_top_aud1	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	51.6096	MHz
clk_top_eth0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	50	MHz
clk_top_ptp0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	100	MHz
clk_top_ref0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	100	MHz
clk_top_ref1	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	100	MHz
clk_top_ntm0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	100	MHz
clk_top_sdc0	$1.05V \leq VDD\_SOC \leq 1.25V$	-	-	100	MHz

表 18: 外设时钟特性

## 4.6 工作模式

芯片在不同模式下的各模块电源配置如表 19

模式	CPU0 子系统电源	VDD_SOC	VPMC	VBAT
等待模式	开	开	开	开
停止模式	可选	开	开	开
休眠模式	关	关	开	开
关机模式	关	关	关	开

表 19: 工作模式配置表

## 4.7 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

IDD(DCDC\_IN) 的供电电流如表 20 所示。DCDC\_IN、VPMC 由外部 3.3V 供电，VDD\_SOC 由片上 DCDC 产生。CPU 运行 CoreMark 程序，代码是从指令本地存储器 (ILM) 执行。外设时钟打开后均处于默认频率（详情请参考 HPM6750 用户手册）。测试都是在典型工艺参数下的芯片上测试所得，仅供参考。

IDD(VPMC) 的供电电流如表 22 所示。

IDD(VBAT) 的供电电流如表 21 所示，SOC 处于关机模式。

符号	测试条件	CPU0	外设状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD DCDC_IN = 3.3V	VDD_SOC=1.20V CPU/BUS@648/162MHz	开	全开	98	110	117	mA
		开	全关	68	77	83	mA
	VDD_SOC=1.10V CPU/BUS@480/160MHz	开	全开	64	72	76	mA
		开	全关	43	49	54	mA
	VDD_SOC=1.10V CPU/BUS@216/108MHz	开	全开	44	50	54	mA
		开	全关	28	32	36	mA

表 20: 运行模式的典型电流

符号	测试条件	工作状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD VBAT	VBAT = 3.3V	低功耗模式	1.4	2.4	3.3	uA

表 21: IDD(VBAT) 典型电流

符号	测试条件	工作状态	$T_A=25^{\circ}\text{C}$	$T_A=85^{\circ}\text{C}$	$T_A=105^{\circ}\text{C}$	单位
IDD PMC	VPMC = 3.3V	DCDC ON	1.4	1.45	1.5	mA
IDD PMC	VPMC = 3.3V	DCDC OFF	0.5	0.6	0.7	mA

表 22: IDD(VPMC) 典型电流

## 4.8 I/O 特性

### 4.8.1 I/O DC 特性

I/O 特性如表 23。

符号	参数	最小	典型	最大	单位
VDDIO 1.8V	IO 电源	1.62	1.8	1.98	V
VDDIO 3.3V	IO 电源	2.97	3.3	3.63	V
VIL 1.8V	输入低电平	0	-	0.3*VDDIO	V
VIH 1.8V	输入高电平	0.7*VDDIO	-	VDDIO	V
VOL 1.8V	输出低电平	-	-	0.15	V
VOH 1.8V	输出高电平	VDDIO-0.15	-	-	V
VIL 3.3V	输入低电平	0	-	0.3*VDDIO	V
VIH 3.3V	输入高电平	0.7*VDDIO	-	VDDIO	V
VOL 3.3V	输出低电平	-	-	0.15	V
VOH 3.3V	输出高电平	VDDIO-0.15	-	-	V
RPU22K	上拉电阻	17.1	22	28.3	kΩ
RPU47K	上拉电阻	36	47	60	kΩ
RPU100K	上拉电阻	75	100	125	kΩ
RPD100K	下拉电阻	75	100	125	kΩ

表 23: IO 工作条件

### 4.8.2 I/O AC 特性

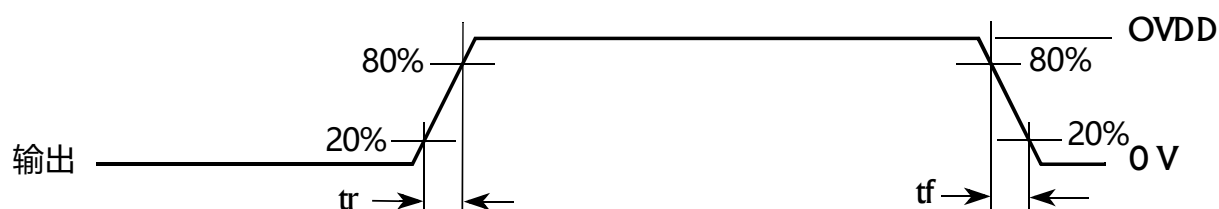


图 6: I/O AC 特性

类型	参数	符号	最小	最大	单位	测试条件
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	4.4/4.3	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3/1.8V IO 1.8V	上升/下降时间	tf/tf	-	8.2/7.9	ns	15pf 负载, slow slew rate, 驱动强度 111b

类型	参数	符号	最小	最大	单位	测试条件
3.3/1.8V IO 1.8V	上升/下降时间	tr/tf	-	4.6/4.4	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3/1.8V IO 1.8V	上升/下降时间	tf/tf	-	8.6/8.3	ns	15pf 负载, slow slew rate, 驱动强度 011b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	2.6/2.5	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3/1.8V IO 3.3V	上升/下降时间	tf/tf	-	4.3/4.2	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3/1.8V IO 3.3V	上升/下降时间	tr/tf	-	2.9/2.7	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3/1.8V IO 3.3V	上升/下降时间	tf/tf	-	4.5/4.4	ns	15pf 负载, slow slew rate, 驱动强度 011b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	2.1/1.6	ns	15pf 负载, fast slew rate, 驱动强度 111b
3.3V IO 3.3V	上升/下降时间	tf/tf	-	3.4/3.3	ns	15pf 负载, slow slew rate, 驱动强度 111b
3.3V IO 3.3V	上升/下降时间	tr/tf	-	2.2/1.7	ns	15pf 负载, fast slew rate, 驱动强度 011b
3.3V IO 3.3V	上升/下降时间	tf/tf	-	3.6/3.4	ns	15pf 负载, slow slew rate, 驱动强度 011b

表 24: I/O AC 特性

注: 本产品上 GPIO 端口 Z, 即电池备份域的 IO 为 3.3V IO。其他 IO 为 3.3/1.8V IO。

## 4.9 JTAG 接口

JTAG 时序如图 7。

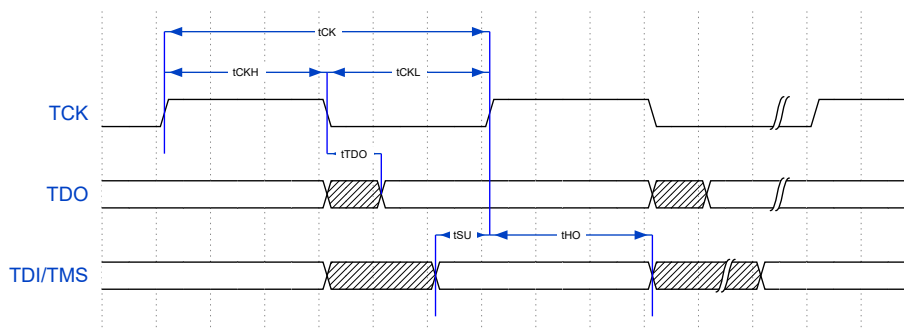


图 7: JTAG 时序图

符号	描述	最小值	最大值	单位
$t_{CK}$	一个时钟周期持续的时间	40	-	ns
$t_{CKH}$	一个时钟周期内高电平持续时间	$0.48 \cdot P$	$0.52 \cdot P$	ns
$t_{CKL}$	一个时钟周期内低电平持续时间	$0.48 \cdot P$	$0.52 \cdot P$	ns
$t_{SU}(TDI-TCK)$	输入建立时间, 从 TCK 高到 TDI 有效	8	-	ns
$t_{SU}(TMS-TCK)$	输入建立时间, 从 TCK 高到 TMS 有效	8	-	ns
$t_{HO}(TCK-TDI)$	输入保持时间, 从 TCK 高到 TDI 有效	15	-	ns
$t_{HO}(TCK-TMS)$	输入保持时间, 从 TCK 高到 TMS 有效	15	-	ns
$t_{TDO}(TCK-TDO)$	TCK 下降沿到 TDO 数据有效时间	-	15	ns

表 25: JTAG 时序参数

## 4.10 XPI 存储器接口

### 4.10.1 DC 特性

参考 I/O 即可

### 4.10.2 AC 特性

XPI 采样时钟有三种源：

- 由 XPI 控制器生成并在内部回送 (XPI\_GCR0[RXCLKSRC] = 0x0)
- 由 XPI 控制器生成并通过 DQS 回送 (XPI\_GCR0[RXCLKSRC] = 0x1)
- 来自外部 DQS 的输入 (XPI\_GCR0[RXCLKSRC] = 0x3)

以下是三种采样时钟源以及 SDR、DDR 模式对应的输入读操作的特性和时序。测量数据基于电容负载为 15pF，输入 slew rate 为 1V/ns。

#### 4.10.2.1 SDR 模式

XPI\_GCR0[RXCLKSRC] = 0X0,0X1 对应时序如图 8。

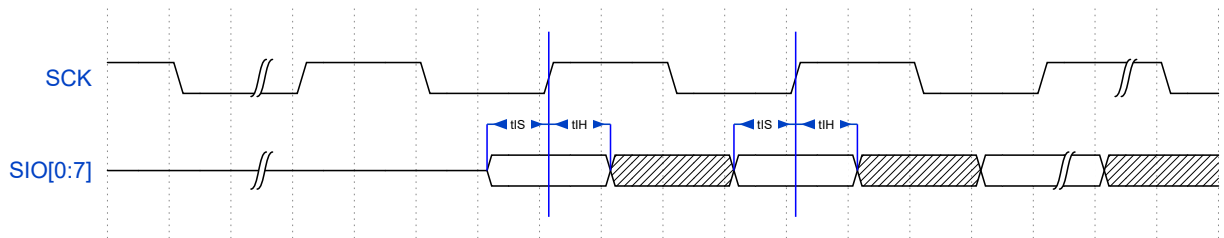


图 8: XPI SDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X0,0X1)

符号	参数	最小值	最大值	单位
	时钟频率	—	60	MHz
tIS	输入数据的建立时间	8.67	—	ns
tIH	输入数据的保持时间	0	—	ns

表 26: XPI SDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X0)

符号	参数	最小值	最大值	单位
	时钟频率	—	133	MHz
tIS	输入数据的建立时间	2	—	ns
tIH	输入数据的保持时间	1	—	ns

表 27: XPI SDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X1)

图 8 所示时序基于存储器在 SCK 下降沿生成读取数据，以及 XPI 控制器在下降沿采样读取数据。

在 SDR 模式下，XPI\_GCR0[RXCLKSRC] = 0X3，由存储器提供读数据和读选通时，有两种情况：

- 情形 1：存储器在 SCK 上升沿（或下降沿）上生成读数据和读选通信号。  
XPI\_GCR0[RXCLKSRC] = 0X3，情形 1 对应时序如图 9。

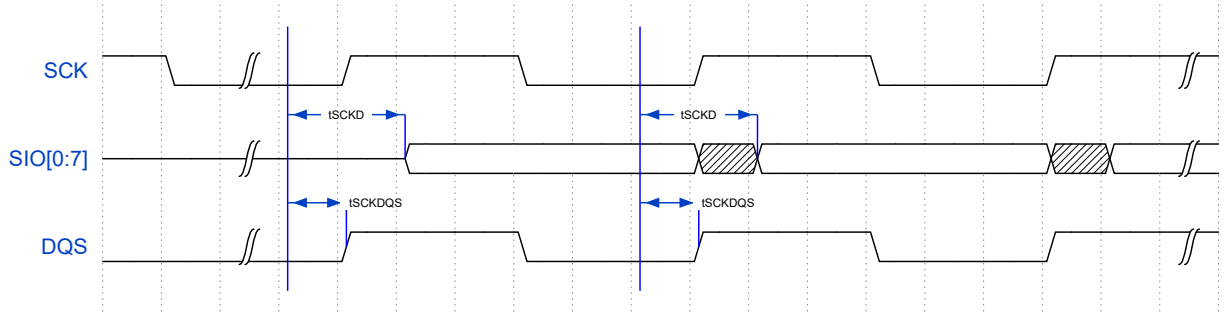


图 9: XPI SDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X3, 情形 1)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-2	2	ns

表 28: XPI SDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X3, 情形 1)

图 9 所示时序基于存储器在 SCK 上升沿生成读数据和读选通, XPI 控制器在 DQS 下降沿采样读取数据。

- 情形 2: 存储器在 SCK 下降沿产生读数据, 在 SCK 上升沿产生读选通。

XPI\_GCR0[RXCLKSRC] = 0X3, 情形 2 对应时序如图 10。

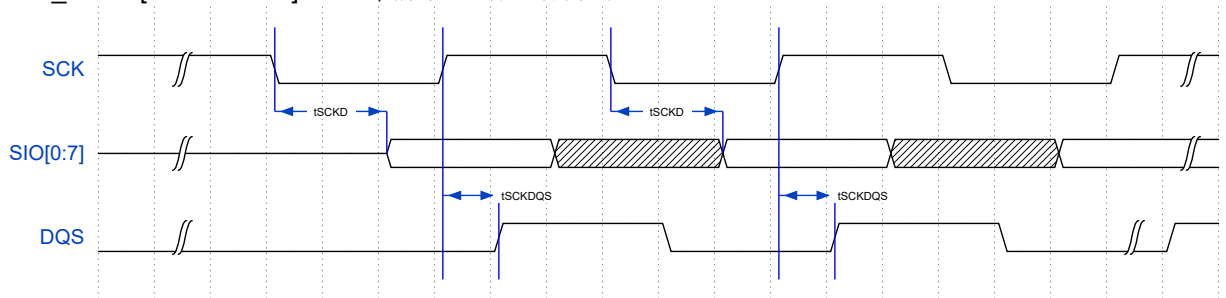


图 10: XPI SDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X3, 情形 2)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-2	2	ns

表 29: XPI SDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X3, 情形 2)

图 10 是存储器在 SCK 下降沿生成读取数据并在 SCK 上升沿生成读取选通, XPI 控制器在半周期延迟的 DQS 下降沿上采样读取数据。

## 4.10.2.2 DDR 模式

XPI DDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X0,0X1) 对应时序如图 11。



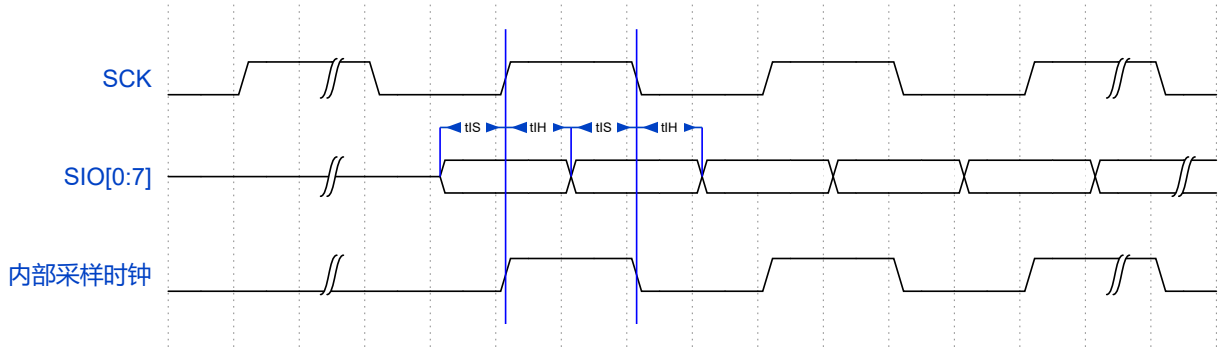


图 11: XPI DDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X0,0X1)

符号	参数	最小值	最大值	单位
	时钟频率	—	30	MHz
tIS	输入数据的建立时间	8.67	—	ns
tIH	输入数据的保持时间	0	—	ns

表 30: XPI DDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X0)

符号	参数	最小值	最大值	单位
	时钟频率	—	66	MHz
tIS	输入数据的建立时间	2	—	ns
tIH	输入数据的保持时间	1	—	ns

表 31: XPI DDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X1)

在 DDR 模式下, XPI\_GCR0[RXCLKSRC] = 0X3, 存储器在 SCK 上升沿 (或下降沿) 上生成读数据和读选通信号。

XPI DDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X3) 对应时序如图 12。

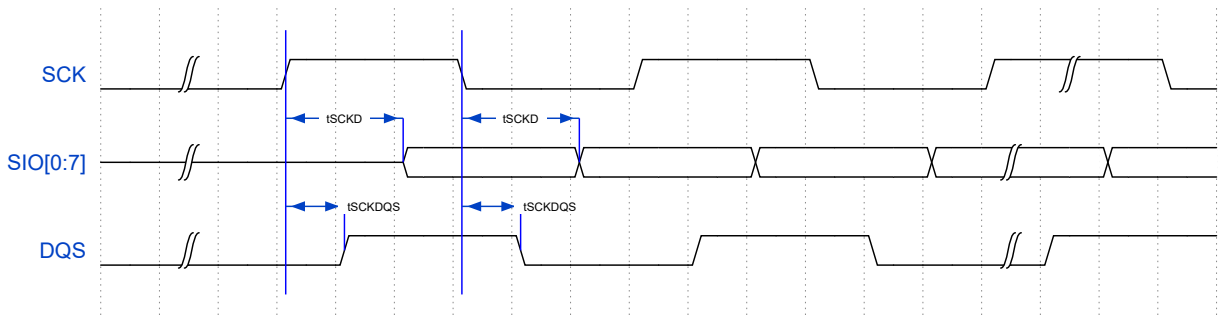


图 12: XPI DDR 模式的输入时序 (XPI\_GCR0[RXCLKSRC] = 0X3)

符号	参数	最小值	最大值	单位
	时钟频率	—	166	MHz
tSCKD - tSCKDQS	tSCKD 和 tSCKDQS 时差	-1	1	ns

表 32: XPI DDR 模式的输入特性 (XPI\_GCR0[RXCLKSRC] = 0X3)

### 4.10.2.3 XPI 输出/写操作

以下部分描述了 XPI 控制器的输出信号时序，包括控制信号和数据输出。

- SDR 模式

XPI SDR 模式的输出信号时序对应时序如图 13。

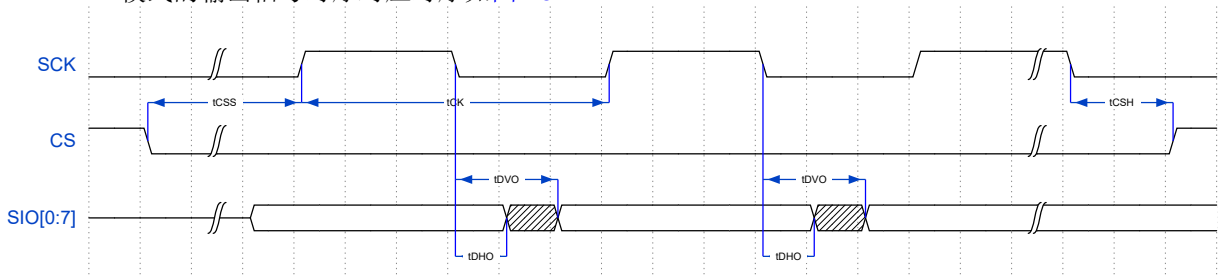


图 13: XPI SDR 模式的输出信号

符号	参数	最小值	最大值	单位
fCK	时钟频率	—	166	MHz
tCK	SCK 时钟周期	6	—	ns
tDVO	输出信号有效时间	—	1	ns
tDHO	输出信号保持时间	1	—	ns
tCSS	片选信号建立时间	$3 \times tCK - 1$	—	ns
tCSH	片选信号保持时间	$3 \times tCK + 2$	—	ns

表 33: XPI SDR 模式的输出信号时序

- DDR 模式

XPI DDR 模式的输出信号时序对应时序如图 14。

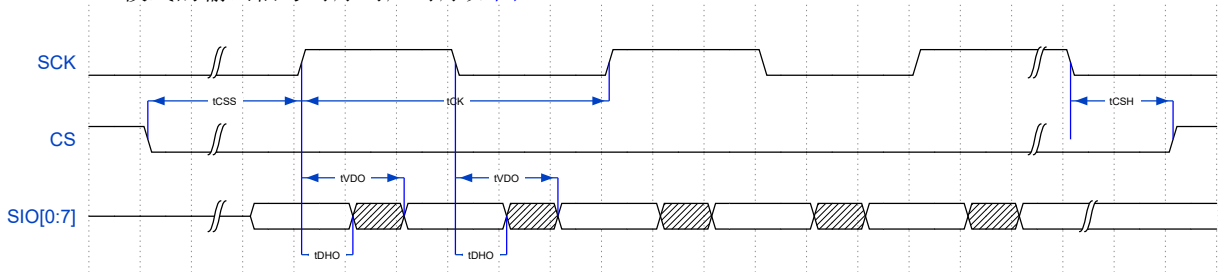


图 14: XPI DDR 模式的输出信号

符号	参数	Min	Max	Unit
fCK	时钟频率	—	166	MHz
tCK	SCK 时钟周期 (XPI_GCR0[RXCLKSRC] = 0X0)	6	—	ns
tDVO	输出信号有效时间	—	2.2	ns
tDHO	输出信号保持时间	0.8	—	ns
tCSS	片选信号建立时间	$3 \times tCK/2 - 0.7$	—	ns
tCSH	片选信号保持时间	$3 \times tCK/2 + 0.8$	—	ns

表 34: XPI DDR 模式的输出信号时序

## 4.11 音频接口

### 4.11.1 I2S 接口

I2S 为 CLK Master 时序如图 15。

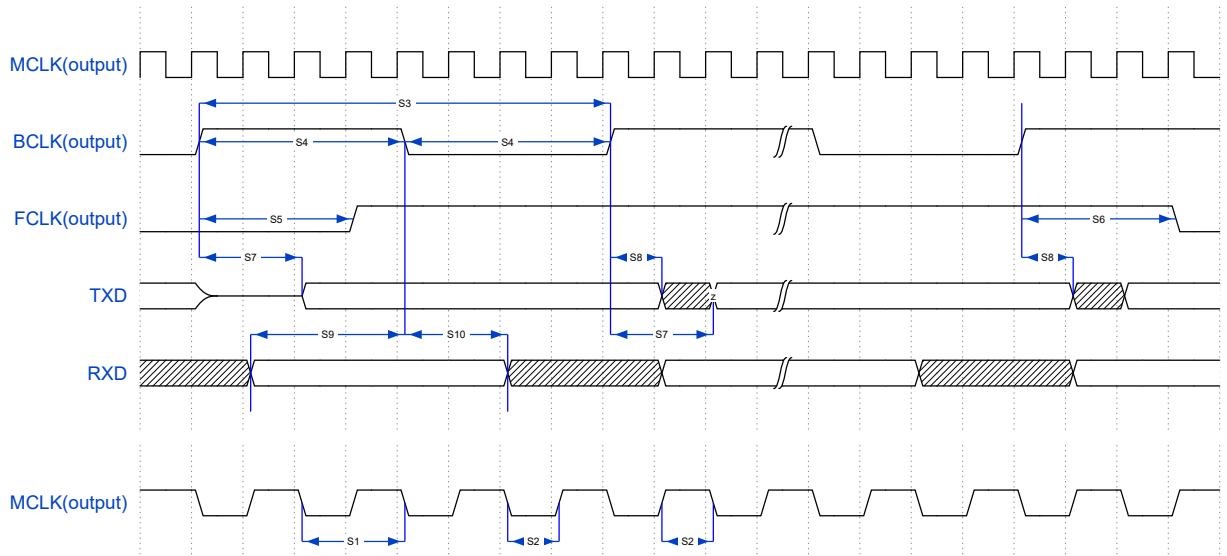


图 15: I2S 输出时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)

项目	符号	描述	最小值	最大值	单位
S1	tMCLK	I2S MCLK 周期	15	-	ns
S2	tMCLKH/L	I2S MCLK 高 (低) 电平宽度	40%	60%	tMCLK
S3	tBCLK	I2S BCLK 周期	40	-	ns
S4	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S5	tFSV	I2S BCLK 至 FS 有效时间	-	4	ns
S6	tFSIV	I2S BCLK 至 FS 失效时间	-3	-	ns
S7	tTXDV	I2S BCLK 至 TXD 有效时间	-	4	ns
S8	tTXDIV	I2S BCLK 至 TXD 失效时间	-3	-	ns
S9	tRXDS	I2S RXD 输入的建立时间	13	-	ns
S10	tRXDH	I2S RXD 输入的保持时间	0	-	ns

表 35: I2S 接口 CLK Master 时 3.3V 供电的时序

项目	符号	描述	最小值	最大值	单位
S1	tMCLK	I2S MCLK 周期	15	-	ns
S2	tMCLKH/L	I2S MCLK 高 (低) 电平宽度	40%	60%	tMCLK
S3	tBCLK	I2S BCLK 周期	40	-	ns
S4	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S5	tFSV	I2S BCLK 至 FS 有效时间	-	9	ns
S6	tFSIV	I2S BCLK 至 FS 失效时间	-7	-	ns

项目	符号	描述	最小值	最大值	单位
S7	tTXDV	I2S BCLK 至 TXD 有效时间	-	9	ns
S8	tTXDIV	I2S BCLK 至 TXD 失效时间	-7	-	ns
S9	tRXDS	I2S RXD 输入的建立时间	18	-	ns
S10	tRXDH	I2S RXD 输入的保持时间	0	-	ns

表 36: I2S 接口 CLK Master 时 1.8V 供电的时序

I2S 为 CLK Slave 时序如图 16。

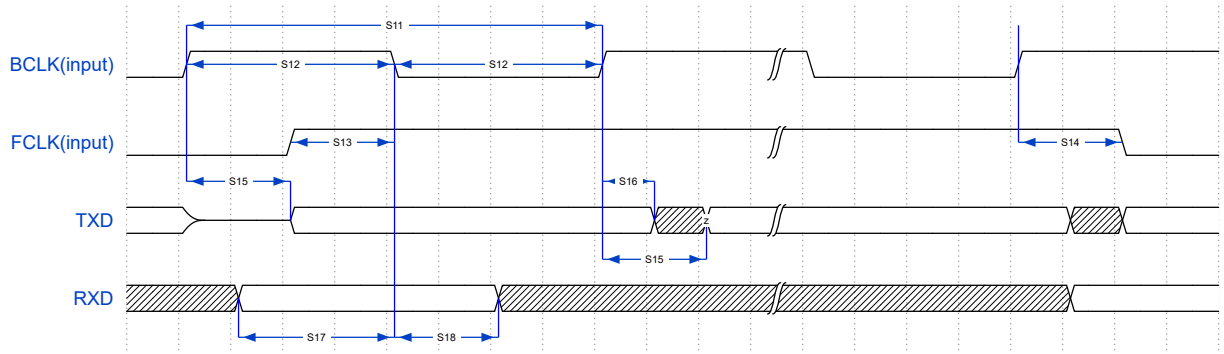


图 16: I2S 输入时钟时 (TXD 数据在 BCLK 上升沿发出, RXD 在 BCLK 下降沿采样)

项目	符号	描述	最小值	最大值	单位
S11	tBCLK	I2S BCLK 周期	40	-	ns
S12	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S13	tFSS	I2S FS 的建立时间 (相对于 BCLK)	5	-	ns
S14	tFSH	I2S FS 的保持时间 (相对于 BCLK)	-1	-	ns
S15	tTXDV	I2S BCLK 至 TXD 有效时间	-	13	ns
S16	tTXDIV	I2S BCLK 至 TXD 失效时间	3	-	ns
S17	tRXDS	I2S RXD 输入的建立时间	5	-	ns
S18	tRXDH	I2S RXD 输入的保持时间	4	-	ns

表 37: I2S 接口 CLK Slave 时 3.3V 供电的时序

项目	符号	描述	最小值	最大值	单位
S11	tBCLK	I2S BCLK 周期	40	-	ns
S12	tBCLKH/L	I2S BCLK 高 (低) 电平宽度	40%	60%	tBCLK
S13	tFSS	I2S FS 的建立时间 (相对于 BCLK)	6	-	ns
S14	tFSH	I2S FS 的保持时间 (相对于 BCLK)	-1	-	ns
S15	tTXDV	I2S BCLK 至 TXD 有效时间	-	18	ns

项目	符号	描述	最小值	最大值	单位
S16	tTXDIV	I2S BCLK 至 TXD 失效时间	2	-	ns
S17	tRXDS	I2S RXD 输入的建立时间	6	-	ns
S18	tRXDH	I2S RXD 输入的保持时间	4	-	ns

表 38: I2S 接口 CLK Slave 时 1.8V 供电的时序

## 4.11.2 PDM 接口

PDM 时序如图 17。

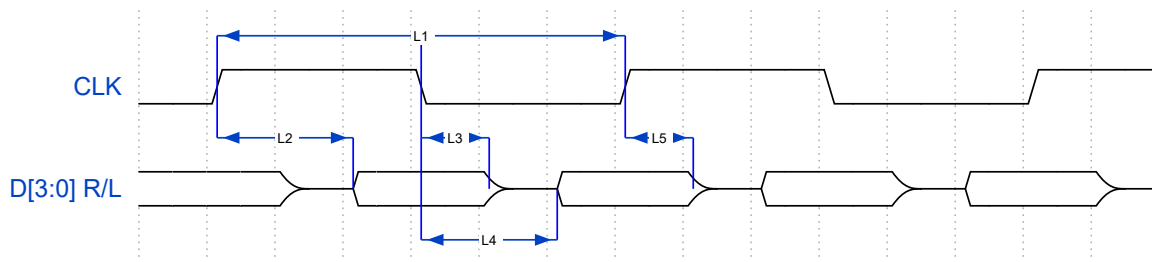


图 17: PDM 时序图

项目	符号	描述	最小值	最大值	单位
-	fCLK	PDM 工作模式 CLK 频率	1	3.25	MHz
L1	tCLK	PDM 工作模式 CLK 周期	308	1000	ns
L2	TR.EN	PDM CLK 时钟上升沿至 R 数据稳定时间	28	-	ns
L3	TR.DIS	PDM CLK 时钟下降沿至 R 数据消失时间	-	28	ns
L4	TL.EN	PDM CLK 时钟下降沿至 L 数据稳定时间	28	-	ns
L5	TL.DIS	PDM CLK 时钟上升沿至 L 数据消失时间	-	28	ns

表 39: PDM 参数

## 4.12 模拟接口

### 4.12.1 16 位模数转换 ADC 特性

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDDA	3	3.3	3.6	V	-
输入信号电压	Vin	VREFL	-	VREFH	V	-
输入采样电容	Cs	-	4	-	pF	-
参考高电平	VREFH	3	-	VDDA	V	-
参考低电平	VREFL	0	-	-	V	-
采样速率	fs	-	2	-	MHz	-
差分非线性	DNL	-	+1/-0.89	-	LSB	单端信号
积分非线性	INL	-	+3.1/-5.2	-	LSB	单端信号
偏移误差	Vos	-	4	-	LSB	单端信号输入接地
增益误差 (全摆幅误差)	GE	-	3	-	LSB	单端信号输入接 VREFH
总未调整误差	TUE	-	7.2	-	-	单端信号
信号噪声失真比	SINAD	-	70	-	dB	单端信号 (VREFH=3.0V)
有效位数	ENOB	-	11.3	-	位	单端信号 (VREFH=3.0V)
总谐波失真	THD	-	93	-	dB	单端信号

表 40: 16 位 ADC 参数

## 4.12.2 比较器 ACMP 特性

参数	符号	最小值	典型值	最大值	单位	备注
电源电压	VDDA	3	3.3	3.6	V	-
输入信号电平	Vin	0	-	VDDA	V	-
输入偏移	Vos	-3	-	3	mV	HPMODE=1
		-6	-	6	mV	HPMODE=0
迟滞电压	Vhyst	18	24	30	mV	HPMODE=0; HYST<1:0>=00
		12	16	20	mV	HPMODE=0; HYST<1:0>=01
		6	8	10	mV	HPMODE=0; HYST<1:0>=10
		0	0	0	mV	HPMODE=0; HYST<1:0>=11
		24	30	36	mV	HPMODE=1; HYST<1:0>=00
		16	20	24	mV	HPMODE=1;HYST<1:0>=01
		8	10	12	mV	HPMODE=1;HYST<1:0>=10
		0	0	0	mV	HPMODE=1;HYST<1:0>=11
传输延迟	Tp	60	80	100	ns	HPMODE=0
		5	6.5	8.5	ns	HPMODE=1

表 41: 比较器参数

## 4.12.3 12 位数模转换器 DAC 特性

符号	描述/条件	最小值	典型值	最大值	单位
VDDA	供电电压	3.0	3.3	3.6	V
VDACR	参考电压	1.71	3.6	3.6	V
CLD	输出负载电容	-	-	400	pF
RLD	输出负载电阻	3k	-	-	ohm
IDDA DACLP	DAC LP 模式供电电流, 无负载	-	360	-	uA
IDDA DACHP	DAC HP 模式供电电流, 无负载	-	1.6	-	mA
Tpwrap	DAC 上电到输出有效的时间	-	-	10	uA
Tdachp	DAC HP 模式的输出建立时间 RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	1	1.2	uS



符号	描述/条件	最小值	典型值	最大值	单位
Tdaclp	DAC LP 模式的输出建立时间 RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	3.5	4	uS
SRHP	DAC HP 模式 Slew Rate RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	3	-	V/us
SRLP	DAC LP 模式 Slew Rate RLD = 3K ohm, CLD = 400 pF 数字编码 410~3891	-	7.2	-	V/us
INL	积分非线性	-	±3	-	LSB
DNL	差分非线性	-	±0.8	-	LSB
voffset	偏置误差 数字编码 410~3891	-	±6	-	mV
Egain	增益误差	-	±0.5	-	%
Vout	输出电压范围	VSSA+0.04	-	VDDA-0.04	V

表 42: 12 位 DAC 参数

## 4.13 通信接口

### 4.13.1 以太网接口

#### 4.13.1.1 RMII 接口 RMII 接口对应时序如图 18。

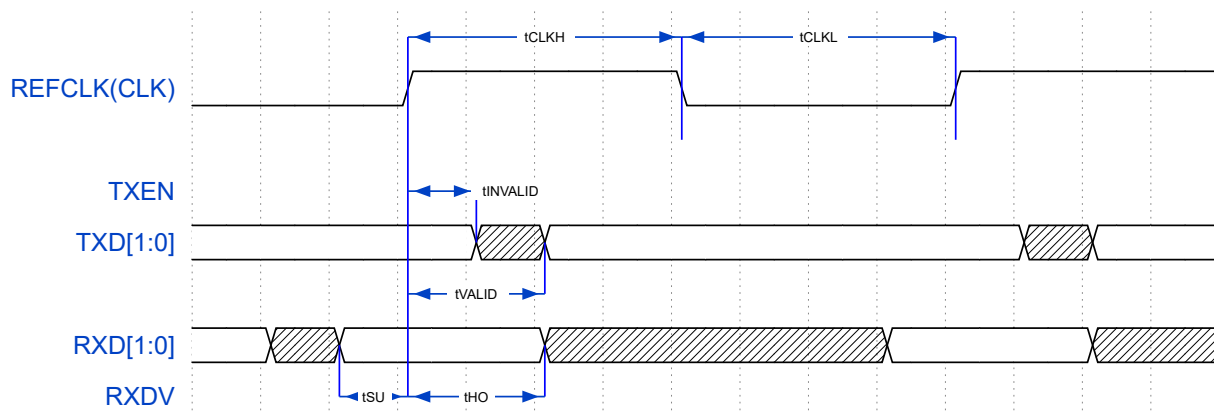


图 18: RMII 接口时序

符号	描述	最小	最大	单位
$t_{CLKH}$	CLK 时钟高时间	45%	55%	CLK 周期
$t_{CLKL}$	CLK 时钟低时间	45%	55%	CLK 周期
$t_{INVALID}$	TXD 对 CLK 数据无效时间	4	—	ns
$t_{VALID}$	TXD 对 CLK 数据有效时间	—	13.5	ns
$t_{SU}$	RXD 对 CLK 数据建立时间	4	—	ns
$t_{TO}$	RXD 对 CLK 数据保持时间	2	—	ns

表 43: RMII 参数

## 4.14 SPI 接口

### 4.14.1 SPI 主模式时序图

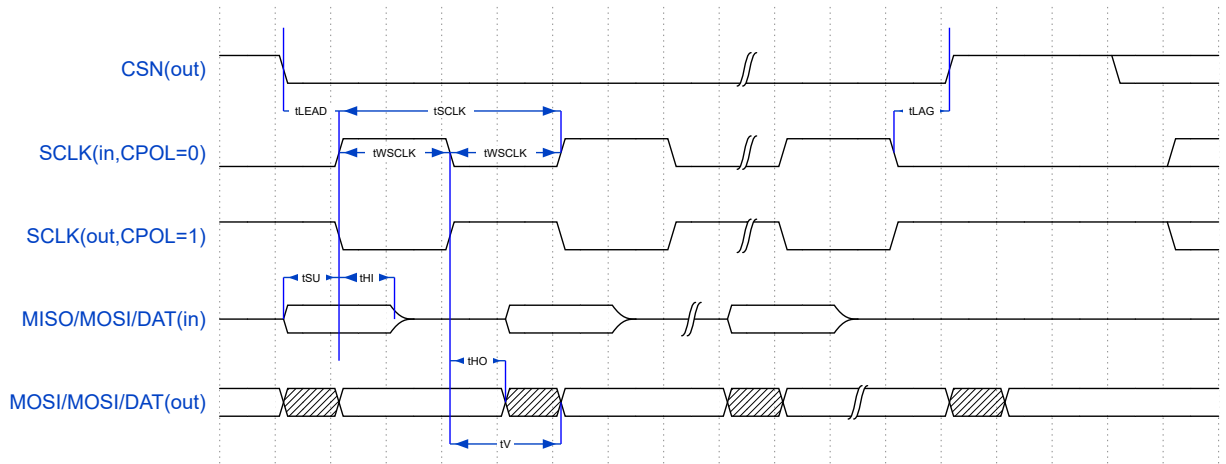


图 19: SPI 主模式时序 (CPHA=0)

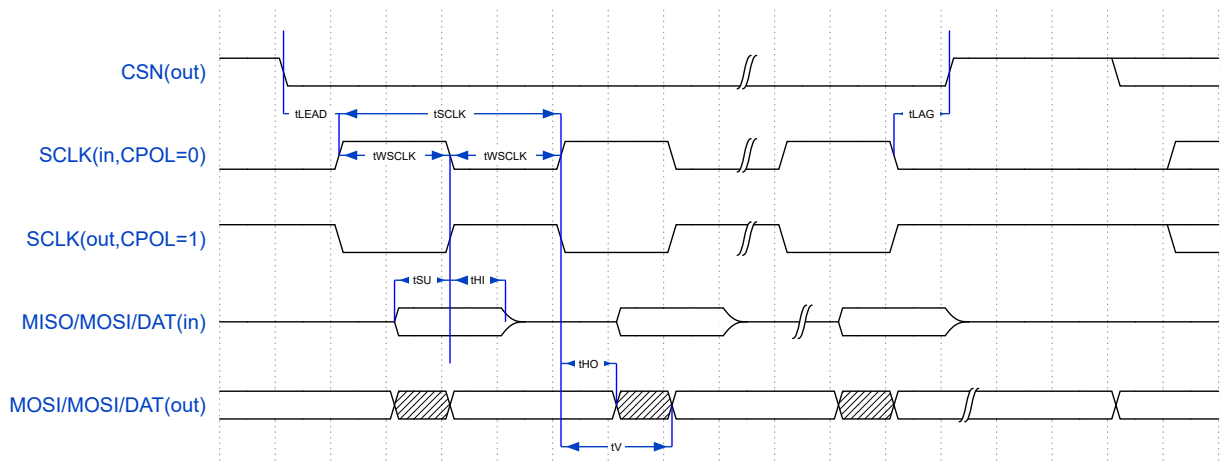


图 20: SPI 主模式时序 (CPHA=1)

符号	描述	最小	最大	单位
tSCK	SCK 周期	2 x tperiph	—	ns
tLEDA	CS 建立时间	1	—	tperiph
tLAG	CS 保持时间	1	—	tperiph
tWCLK	时钟高或低时间	tSCK / 2 - 3	—	ns
tSU	数据建立时间 (输入)	10	—	ns
tHI	数据保持时间 (输入)	2	—	ns
tV	数据有效 (SCLK 延后)	—	8	ns

符号	描述	最小	最大	单位
tHO	数据保持时间 (输出)	0	—	ns

表 44: SPI 主模式参数 (注:  $t_{periph} = 1000 / f_{periph}$ )

## 4.14.2 SPI 从模式时序图

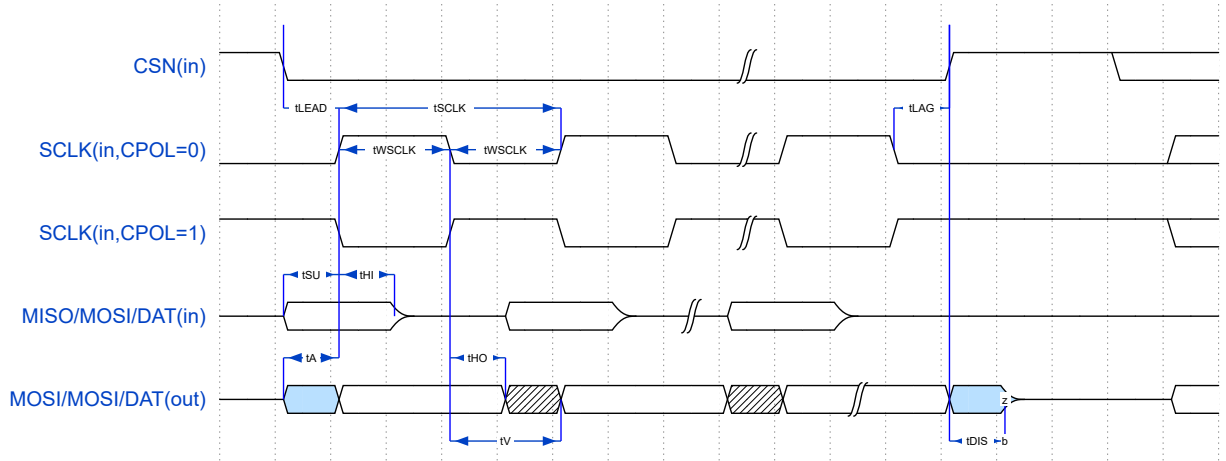


图 21: SPI 从模式时序 (CPHA=0)

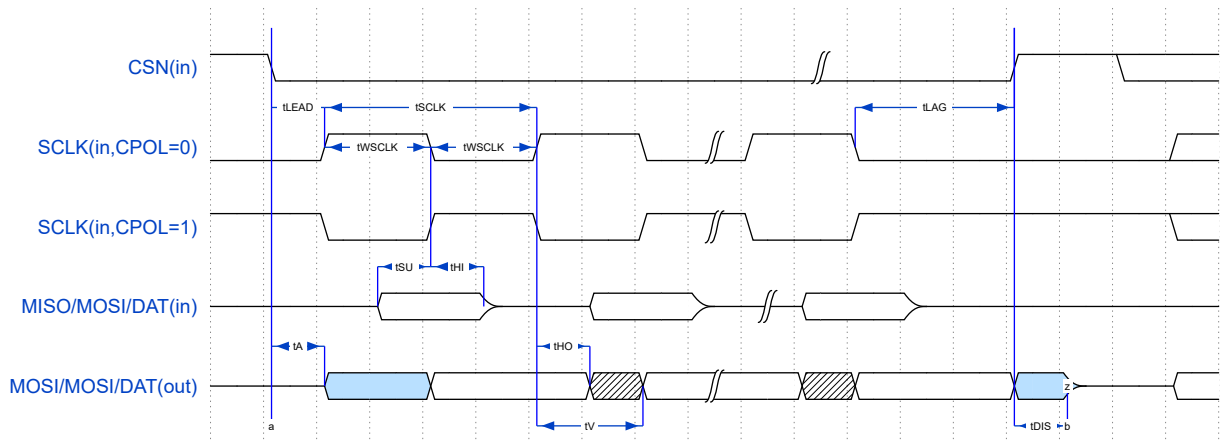


图 22: SPI 从模式时序 (CPHA=1)

符号	描述	最小	最大	单位
tSCK	SCK 周期	$2 \times t_{periph}$	—	ns
tLEAD	CS 建立时间	1	—	$t_{periph}$
tLAG	CS 保持时间	1	—	$t_{periph}$
tWCLK	时钟高或低时间	$t_{SCK} / 2 - 5$	—	ns
tSU	数据建立时间 (输入)	2.7	—	ns
tHI	数据保持时间 (输入)	3.8	—	ns
tA	从访问时间	—	$t_{periph}$	ns
tDIS	从 MISO 失效时间	—	$t_{periph}$	ns

符号	描述	最小	最大	单位
tV	数据有效 (SCLK 延后)	—	14.5	ns
tHO	数据保持时间 (输出)	0	—	ns

表 45: SPI 从模式参数 (注:  $t_{periph} = 1000 / f_{periph}$ )

## 4.15 I2C 接口

符号	描述	工作模式	最小值	最大值	单位
fSCL	SCL 时钟频率	标准模式 (Sm)	0	100	KHz
		快速模式 (Fm)	0	400	KHz
		快速模式加 (Fm+)	0	1000	KHz

表 46: I2C 工作模式及参数

## 5 封装

### 5.1 eLQFP144L 封装尺寸

eLQFP144L 尺寸如图 23。

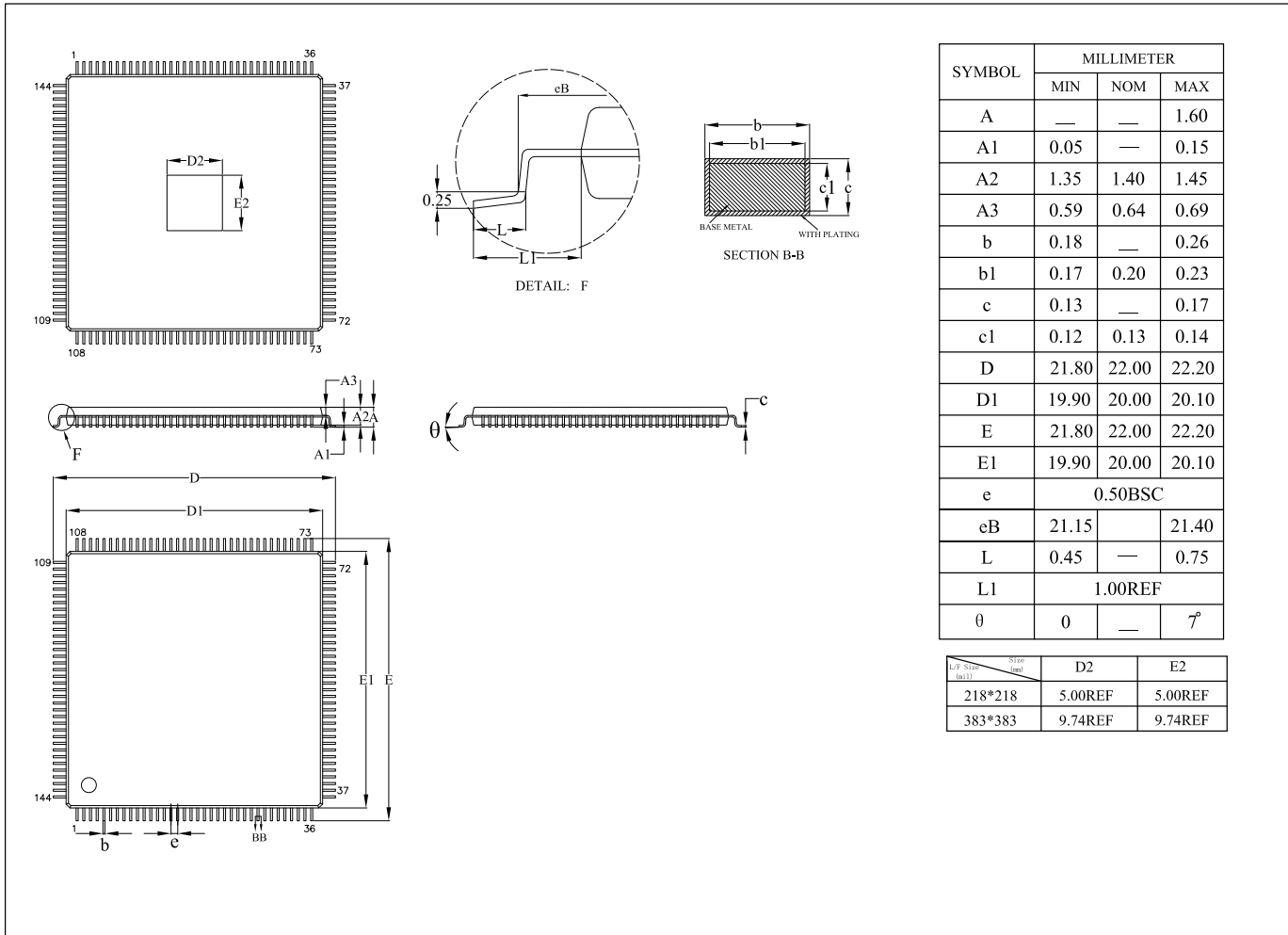


图 23: eLQFP144L 封装尺寸图

### 5.2 BGA116 封装尺寸

BGA 尺寸如图 24。

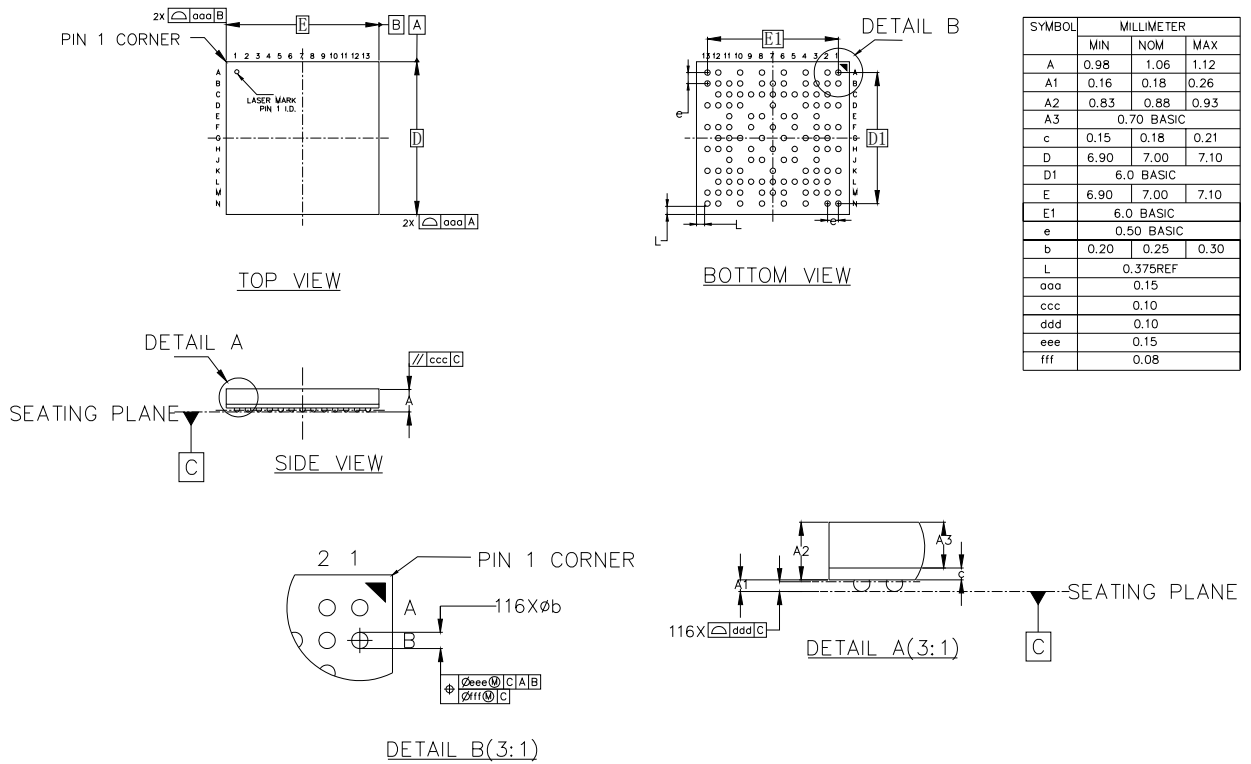


图 24: BGA116 封装尺寸图

## 5.3 封装热阻系数

$$T_J \max = T_A \max + (P_D \max \times \theta_{JA})$$

- $T_A$  指芯片工作时的环境温度, 单位是  $^{\circ}\text{C}$ ;
- $\theta_{JA}$  是指封装对工作环境的热阻系数, 单位是  $^{\circ}\text{C}/\text{W}$ ;
- $P_D$  是指芯片的内部功耗和 I/O 功耗之和, 单位是 W;
- $T_J$  是指芯片表面的结温。

芯片在指定环境温度下工作时芯片内部的结温  $T_J$ , 不可以超出芯片可容许的最大结温  $T_J \max$  即可。

符号	参数	值	单位
$\theta_{JA}$	eLQFP144L 20X20 mm/0.5mm 间距	32+/-5%	$^{\circ}\text{C}/\text{W}$
$\theta_{JA}$	BGA116 7X7 mm/0.5mm 间距	42+/-5%	$^{\circ}\text{C}/\text{W}$

表 47: 各封装热阻系数表

## 6 订购信息

### 6.1 产品命名规则

产品命名规则如图 25

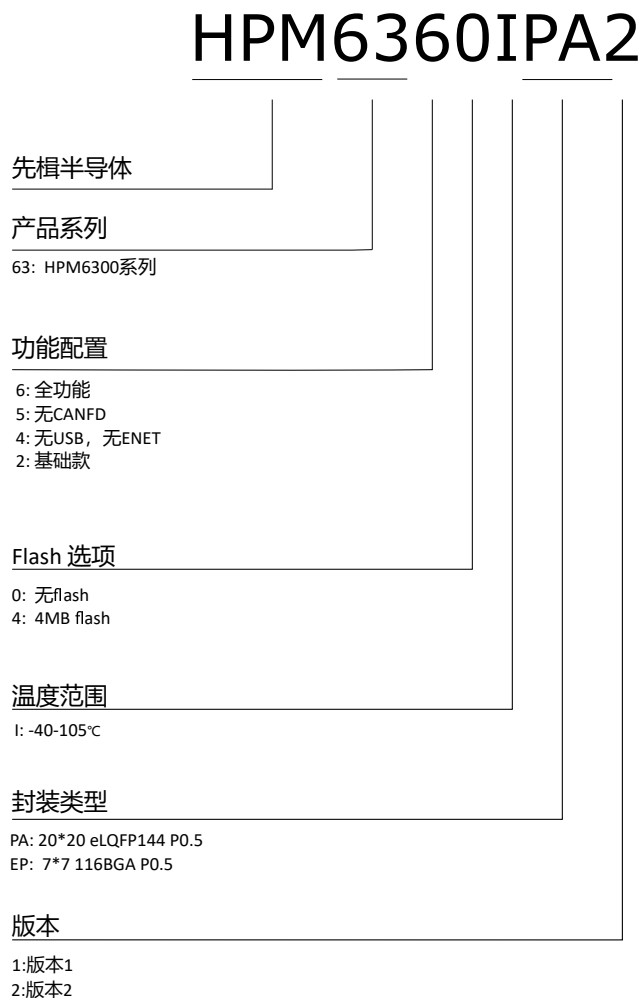


图 25: 产品命名规则

### 6.2 订购信息

订购信息如表 48:

产品型号	HPM6364	HPM6360	HPM6350	HPM6340	HPM6320
CPU	RV32-IMAFDCP				
主频 MHz	648			216	
协处理器	FFA			/	
片上总内存	800 KB				
片上闪存	4 MB	/			



# HPM6300 系列

基于 RISC-V 内核的 32 位高性能微控制器数据手册 Rev2.1

订购信息

产品型号	HPM6364	HPM6360	HPM6350	HPM6340	HPM6320
ROM	128 KB				
OTP	4096 位				
XPI	2				
DRAM	16bit 166MHz				/
SD	1				
I2S	2				
PDM	8 通道				
SDP	AES-128/256,SHA-256				
EXIP	XPI0: EXIP AES-128 CTR				
RNG	真随机数发生器				
UID	128 位				
安全启动	加密启动、可信启动				
TAMP 引脚	8 个 (144eLQFP 封装),4 个 (7*7 116BGA 封装)				
USB	1 个, 集成 HS PHY			/	1 个, 集成 HS PHY
以太网	1× 10/100 Mbps			/	1× 10/100 Mbps
CAN-FD	2	2	/	2	/
CAN	/	/	2	/	/
UART	9				6
SPI	4				3
I2C	4				3
PWM	2				
QEI	2				/
HALL	2				/
TMR	5				
WDG	3				
RTC	1				
DMA	XDMA,HDMA				
ADC	3× 16b				1× 16b
DAC	1× 12b				/
CMP	2				
GPIO	108(HPM6XXXIPAx*),73(HPM6XXXIEPx*)				
封装	20*20 144eLQFP P0.5 (HPM6XXXIPAx*) 7*7 116BGA P0.5 (HPM6XXXIEPx*)				
温度范围 T <sub>J</sub>	-40~125 °C				

表 48: 订购信息

\*x=1: 版本 1, x=2: 版本 2

## 6.3 封装引出功能差异

本产品不同封装引出功能差异如表 49。

	HPM63xxxPAx	HPM63xxxEPx
封装	144eLQFP 20mm×20mm p0.5mm	116BGA 7mm×7mm p0.5mm
GPIO	108	73
模拟输入通道	24	15
侵入检测引脚	8	4
关机唤醒引脚	8	4
FEMC	16b SDRAM	8b SDRAM
ENET	1x 100/10 Mbps	1x 100/10 Mbps 引出 1 组引脚选项
SDXC	1x	1x (SDXC0) 引出 1 组引脚选项
XPI	2x	2x XPI0 仅 CA 端口, XPI1 仅 CA 端口

表 49: 封装引出功能差异

## 7 版本信息

日期	版本	描述
Rev1.0	2022/06/28	正式版发布。
Rev1.1	2022/07/08	Rev1.1 发布。 更新 PINMUX 表格，更新 116BGA 封装 ballmap。 更新 VREFH 电气特性。
Rev2.0	2022/11/23	Rev 2.0 发布。 更新手册的适用产品型号信息，增添 HPM6xxlxx2 等版本 2 产品型号信息。 更新振荡器特性表格。 调整 eLQFP144 封装尺寸图。
Rev2.1	2022/12/30	Rev 2.1 发布。 增加 VPMC 欠压复位电压和欠压警告电压特性。 DRAM 更名为 FEMC，增添功能描述，并更新相关信息。 增加封装引出功能差异表格。 增加内置闪存特性章节。 更新 ESD HBM 特性。

表 50: 版本信息

## 8 免责声明

上海先楫半导体科技有限公司（以下简称：“先楫”）保留随时更改、更正、增强、修改先楫半导体产品和/或本文档的权利，恕不另行通知。用户可在先楫官方网站 <https://www.hpmicro.com> 获取最新相关信息。

本声明中的信息取代并替换先前版本中声明的信息。